

NGHIÊN CỨU GIẢI PHÁP SỬ DỤNG CHỐNG SÉT VAN KẾT HỢP VỚI CÁCH ĐIỆN KHÔNG ĐỐI XỨNG NÂNG CAO KHẢ NĂNG CHỊU SÉT CHO ĐƯỜNG DÂY TRUYỀN TẢI HAI MẠCH

RESEARCH A METHOD USE OF LINE SURGE ARRESTERS COUPLING WITH UNBALANCED INSULATOR
TO IMPROVE THE LIGHTNING PERFORMANCE OF DOUBLE - CIRCUIT TRANSMISSION LINES

Ninh Văn Nam^{1,*},
Vũ Hữu Thích², Nguyễn Đức Khoa²

DOI: <https://doi.org/10.57001/huih5804.2025.272>

TÓM TẮT

Sử dụng cách điện không đối xứng trên đường dây truyền tải hai mạch sẽ làm giảm được sự cố cắt điện đồng thời trên cả hai mạch khi xảy ra sét đánh. Tuy nhiên, nhược điểm của giải pháp này là làm tăng suất sự cố trên mạch có chiều dài cách điện thấp hơn. Ngoài ra, khi dòng điện sét có trị số lớn thì vẫn có thể xảy ra phóng điện đồng thời trên cả hai mạch dẫn đến sự cố nghiêm trọng. Trong nghiên cứu này sẽ trình bày kết quả nghiên cứu giải pháp sử dụng chống sét van kết hợp với cách điện không đối xứng trên đường dây truyền tải 220kV hai mạch nhằm giảm suất sự cố do sét cho mạch có mức cách điện thấp và đồng thời giảm được suất sự cố cho cả hai mạch của đường dây truyền tải. Kết quả cho thấy, sự cố cắt điện đồng thời cả hai mạch sẽ không xảy ra, trị số cường độ dòng điện sét gây phóng điện trên hai mạch tăng 41,5%, suất sự cố do sét giảm tới 59,2%. Ngoài ra, kết quả so sánh suất sự cố với các trường hợp thay đổi chiều dài chuỗi cách điện cũng được phân tích và đánh giá. Nghiên cứu này sử dụng phần mềm mô phỏng quá độ điện từ EMTP và các thông số của đường dây truyền tải hai mạch sẽ thu thập từ thực tế đang vận hành của lưới điện truyền tải 220kV tại Việt Nam.

Từ khóa: Đường dây truyền tải, chống sét van, cách điện không đối xứng, phần mềm EMTP/ATP.

ABSTRACT

Using unbalanced insulators on a two-circuit transmission line will reduce the risk of simultaneous power outages on both circuits when lightning strikes occur. However, the disadvantage of this solution is that it increases the fault rate on the circuit with a lower insulation level. In addition, when the lightning current has a large value, simultaneous discharges can still occur on both circuits, leading to serious incidents. This paper presents the results of a study on the solution of using line surge arresters (LSA) coupling with unbalanced insulators method on a 220kV two-circuit transmission line to reduce the outage rate due to lightning for the circuit with a low insulation level and at the same time reduce the outage rate for both circuits of the transmission line. The research results show that the simultaneous power outage of both circuits will not occur, the set current threshold causing discharge on both circuits increases by 37.9%, and the outage rate of transmission lines is reduced by 56.2%. In addition, the comparison results of outage rate with cases of changing the length of the insulator string are also analyzed and evaluated. The research results use the EMTP electromagnetic transient program and the parameters of the double-circuit transmission line are taken from the reality of the 220kV double-circuit transmission line in Vietnam.

Keywords: Transmission lines, line surge arresters, unbalanced insulators, EMTP/ATP software.

¹Trường Điện - Điện tử, Trường Đại học Công nghiệp Hà Nội

²Trung tâm Việt Nhật, Trường Đại học Công nghiệp Hà Nội

*Email: ninhvannam@hauai.edu.vn

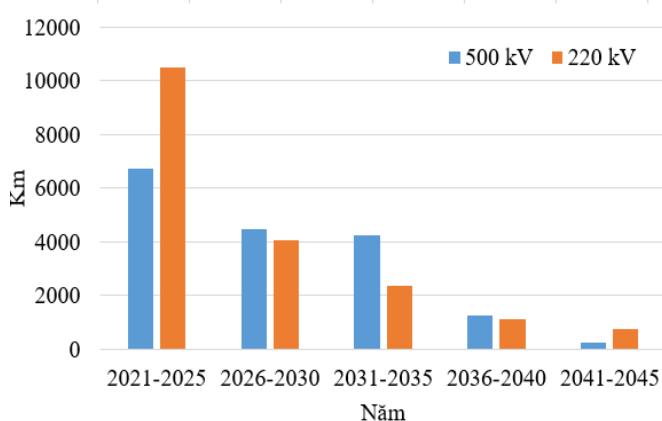
Ngày nhận bài: 17/4/2025

Ngày nhận bài sửa sau phản biện: 24/6/2025

Ngày chấp nhận đăng: 28/7/2025

1. GIỚI THIỆU

Theo Quy hoạch phát triển điện lực quốc gia thời kỳ 2021 - 2030 tầm nhìn đến năm 2045 (Quy hoạch điện VIII) [1], dự kiến đến năm 2030 lưới truyền tải Việt Nam có trên 40.000km đường dây, khối lượng xây dựng thêm đường dây truyền tải 500kV và 220kV toàn quốc giai đoạn 2021 - 2045 (hình 1). Do diện tích đất để xây dựng cũng như như hành lang tuyến các đường dây có giới hạn, nên các đường dây nhiều mạch càng được quan tâm, theo Quy hoạch điện VIII các đường dây 220kV và 500kV đa số là xây dựng các đường dây hai mạch trở lên chiếm trên 90% (hình 2).



Hình 1. Khối lượng đường dây truyền tải xây dựng thêm [1]



Hình 2. Đường dây hai mạch 220kV hai mạch

Tất cả các đường dây nhiều mạch của đường dây truyền tải của hệ thống điện Việt Nam hiện tại đều sử dụng cách điện có chiều dài giống nhau như trên hình 2. Nghĩa là khi có quá điện áp sét, xác suất phóng điện của các pha cùng tên trên các mạch là giống nhau. Điều này đã quan sát thấy trong thực tế vận hành, trong đó sét gây ra phóng điện trên cách điện của cả hai mạch dẫn đến sự

cố mất điện trên cả hai mạch cùng một lúc. Trên phương diện độ tin cậy hệ thống điện, trường hợp sự cố như vậy tương đương với kịch bản N-2, một kịch bản mà hệ thống điện cần được thiết kế với với độ dự trữ rất cao mới có thể chịu được mà không gây mất ổn định cho toàn hệ thống.

Sự cố do sét gây ra trên lưới điện truyền tải là một trong những nguyên nhân chủ yếu gây ra các sự cố mất điện. Theo thống kê Tổng công ty truyền tải điện Quốc gia, sự cố do sét chiếm tới hơn 70% trên tổng sự cố [2]. Do hạn chế về diện tích xây dựng cũng như giảm chi phí lắp đặt, nên các đường dây hai mạch hoặc nhiều mạch thậm chí có hai cấp điện áp đi chung cột ngày càng được xây dựng nhiều. Do đó, chiều cao cột tăng lên, mức quá điện áp cảm ứng cũng tăng lên, dẫn đến sự cố do sét cũng tăng lên, đặt ra yêu cầu phải nghiên cứu sâu hơn các giải pháp, nhằm giảm thiểu sự cố do sét đánh vào các đường dây truyền tải điện. Sự cố do sét trên các đường dây truyền tải hai mạch còn nặng nề hơn so với các đường dây một mạch. Nhược điểm lớn nhất của đường dây hai mạch là chiều cao cột tăng, dẫn đến số lần sét đánh vào đường dây tăng lên và trị số dòng điện sét lớn nhất đánh vào các dây pha tăng lên. Hiện nay, có nhiều nghiên cứu về các giải pháp cải thiện khả năng chịu sét cho đường dây hai mạch đã được đề xuất như giảm điện trở tiếp địa cột, tăng cường cách điện, treo thêm dây chống sét [3, 4], lắp đặt chống sét van [5-7]. Sử dụng các giải pháp đơn lẻ, sẽ khó đạt hiệu quả chống sét cho đường dây truyền tải. Hoặc nếu sử dụng giải pháp đơn lẻ để đạt hiệu quả cao về chống sét cho đường dây thì chi phí quá lớn, khó khả thi trong thực tế.

Chống sét van là thiết bị chống sét hiệu quả cho đường dây truyền tải điện đã được nghiên cứu trong nhiều công trình [7-9]. Nếu tại tất cả các vị trí đều được lắp đặt chống van khi đó sự cố do sét được loại trừ hoàn toàn. Tuy nhiên, do giá thành của chống sét van (CSV) khá cao nên phương pháp lắp tất cả vị trí là khó khả thi, mà cần phải có tính toán lựa chọn những vị trí để lắp đặt vừa đạt hiệu quả chống sét mà vừa giảm mức kinh phí đầu tư.

Khi sét đánh vào đường dây truyền tải, sóng sét sẽ lan truyền trên các phần tử của đường dây và gây ra quá điện áp (QĐA) trên chuỗi cách điện của đường dây. Nếu trị số điện áp này vượt mức điện áp cho phép của chuỗi cách điện $U_{50\%}$ hay còn gọi là CFO thì sẽ gây ra phóng điện trên bề mặt chuỗi cách điện và gây sự cố ngắn mạch. Hiện nay, cách điện của đường dây truyền tải hai mạch được thiết kế giống nhau, hai mạch tương đồng nhau. Do đó, khi sét đánh vào đỉnh của cột điện hoặc đánh vào dây chống sét (DCS), trị số điện áp đặt lên chuỗi cách điện của hai mạch

là như nhau, nếu trị số điện áp này vượt mức điện áp cho phép của chuỗi cách điện ($U_{50\%}$) thì sự cố sẽ xảy ra và xảy ra đồng thời trên cả hai mạch, gây cắt điện đồng thời hai mạch (đường dây 220kV thì $U_{50\%} = 1050\text{kV}$). Tại những vị trí có mức cách điện kém, trị số $U_{50\%}$ sẽ thấp hơn, nên trị số quá điện áp đặt trên chuỗi cách điện sẽ có nguy cơ vượt quá giá trị này, dẫn đến khả năng phóng điện sẽ cao hơn. Dựa vào nguyên tắc này, đề xuất giải pháp là tạo ra cách điện không cân bằng trên các đường dây hai mạch (tức là một mạch có mức cách điện cao và một mạch có mức cách điện thấp). Khi có sóng sét truyền tới thì chỉ có mạch có mức cách điện kém bị sự cố, mạch còn lại không bị sự cố. Để nâng cao khả năng chịu sét những chỗ cách điện kém hơn và nguy cơ xảy ra sự cố cao hơn sẽ kết hợp lắp đặt CSV.

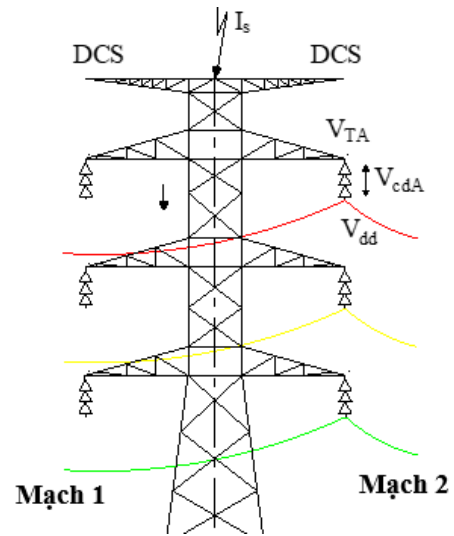
Để tránh sự cố trên cả hai mạch, giải pháp sử dụng cách điện không đối xứng (CĐKĐX) đã được đề xuất [10-12], nghĩa là cách điện một lộ cao hơn lộ còn lại từ vài đơn vị cách điện trở lên. Trong trường hợp này, ngay cả khi dòng điện sét có trị số rất lớn thì phóng điện cũng chỉ xảy ra tại các pha trên một mạch có mức cách điện yếu hơn và xác suất xảy ra sự cố cả hai mạch được giảm xuống đáng kể. Tuy nhiên, giải pháp này mặc dù giảm suất sự cố ở hai mạch nhưng lại làm tăng suất sự cố ở mạch có cách điện yếu hơn. Để khắc phục nhược điểm này, nghiên cứu này sẽ trình bày kết quả giải pháp sử dụng CSV kết hợp với phương pháp cách điện không đối xứng (CSV+CĐKĐX) trong đó mạch có mức cách điện thấp hơn sẽ được lắp CSV. Ngoài ra, kết quả so sánh suất sự cố với các trường hợp thay đổi bát cách điện của chuỗi cách điện cũng được phân tích và đánh giá. Bài báo này sử dụng dụng chương trình mô phỏng quá độ điện từ EMTP/ATP để mô phỏng và tính toán. Các thông số của đường dây truyền tải hai mạch được lấy từ đường dây truyền tải 220kV thực tế tại Việt Nam.

2. TÍNH TOÁN ĐIỆN ÁP DO SÉT TRÊN CÁCH ĐIỆN

Sét đánh trực tiếp vào dây pha là trường hợp nguy hiểm nhất, bởi vì khi đó chuỗi cách điện sẽ chịu toàn bộ điện áp do sét gây ra. Dòng điện sét sẽ tản về hai phía của đường dây, điện áp trên dây dẫn có thể ước lượng nhanh bằng một nửa trị số dòng điện sét nhân với tổng trở sóng của dây pha (tổng trở sóng này có giá trị xấp xỉ 500Ω) [24]. Trường hợp sét đánh vào đỉnh cột điện, dòng điện sét chủ yếu đi xuống đất và tản trên hệ thống tiếp địa của cột, một phần nhỏ tản sang hai cột lân cận theo DCS. Trong trường hợp sét đánh vào DCS, dòng điện sét sẽ chia tản theo các hướng: sang hai bên DCS và đi xuống đất ở cột ngay cạnh nó. Do đó, hiện tượng sét đánh vào đỉnh cột sẽ

nguy hiểm hơn so với trường hợp đánh vào DCS trong khoảng vượt.

2.1. Khi sét đánh đỉnh cột



Hình 3. Trường hợp sét đánh đỉnh cột

Trường hợp sét đánh vào đỉnh cột điện, một phần dòng điện sét sẽ lan truyền trên DCS sang hai phía của cột bị sét đánh, một phần sẽ lan truyền trên cột xuống tiếp địa. Giả thiết dòng điện sét có biên độ I_s đánh vào đỉnh cột (Hình 3). Điện áp trên cách điện một pha bất kỳ (ví dụ pha A) V_{cdA} là hiệu số giữa điện áp trên xà của pha đó (V_{TA}) và điện áp trên dây pha (V_{dd}). Do hiện tượng phản xạ và khúc xạ giữa cột và tiếp địa cột, ngẫu hợp giữa dây pha và DCS sẽ ảnh hưởng đến điện áp trên xà và trên dây pha, điện áp trên cách điện pha A [13]:

$$V_{cdA} = V_{TA} - V_{dd} = K_{SP}(K_{TA} - C_A \cdot K_{TT}) \cdot I_s \quad (1)$$

Trong đó:

C_A : Hệ số ngẫu hợp giữa DCS và dây dẫn pha A; K_{SP} , K_{TT} , K_{TA} : Hệ số phụ thuộc vào sự phản xạ của sóng điện áp, tổng trở sóng của cột, điện trở tiếp địa cột, thời gian truyền sóng và được xác định:

$$K_{TT} = R_e + \alpha_T \cdot Z_{cot} \cdot \frac{T_{dc}}{t_f}; \quad K_{TA} = R_e + \alpha_T \cdot Z_{cot} \cdot \frac{T_{TA}}{t_f}$$

$$K_{SP} = 1 - \alpha_R(1 - \alpha_T) \left[\left(1 - 2 \frac{T_S}{t_f} \right) + \alpha_R \alpha_T \left(1 - 4 \frac{T_S}{t_f} \right) + \left(\alpha_R \alpha_T \right)^2 \left(1 - 6 \frac{T_S}{t_f} \right) + \dots \right]$$

$$R_e = \frac{Z_{DCS} \cdot R_{td}}{Z_{DCS} + 2R_{td}}; \quad \alpha_T = \frac{Z_{cot} - R_{td}}{Z_{cot} + R_{td}}; \quad \alpha_R = \frac{Z_{DCS}}{Z_{DCS} + 2R_{td}}$$

$$T_{dc} = \frac{h}{v}; \quad T_{TA} = \frac{h_A}{v}$$

Trong đó:

Z_{cot} : Tổng trở sóng của cột (Ω); Z_{DCS} : Tổng trở sóng của DCS (Ω); R_{td} : điện trở của tiếp địa, (Ω); I : Biên độ dòng điện sét đánh (kA); t_f : Thời gian đầu sóng của dòng điện sét (μs); T_s : thời gian truyền sóng trong một khoảng vượt (μs); T_{dc} : Thời gian truyền sóng từ đỉnh cột xuống tiếp địa (μs); T_{TA} : Thời gian truyền sóng từ vị trí điểm A xuống tiếp địa (μs); h : chiều cao của cột (m); $v = 3 \cdot 10^8$ m/s: vận tốc truyền sóng.

2.2. Trường hợp sét đánh vào dây pha

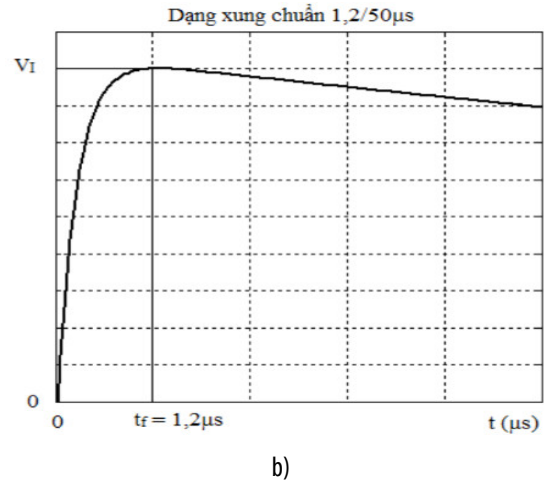
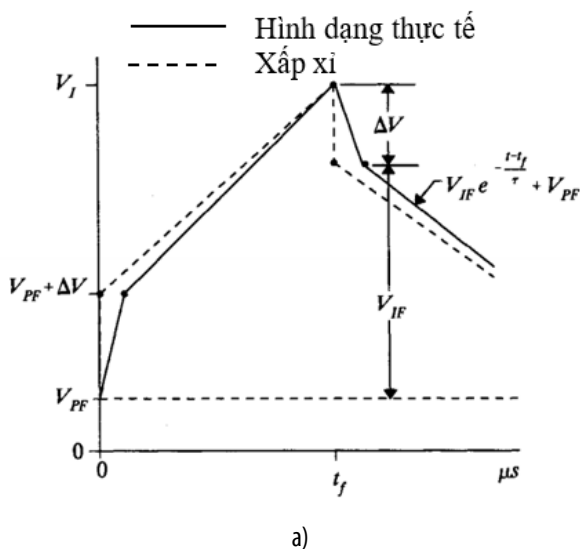
Tại điểm sét đánh, dòng điện sét sẽ lan truyền sang hai phía trên dây pha sang cột bên cạnh. Trường hợp đơn giản, điện áp trên chuỗi cách điện khi có sét tới điện áp của nguồn điện xác định theo công thức (2):

$$V_{cd} = \frac{I}{2} Z_{dd} + V_{PF} \quad (2)$$

2.3. Điện áp trên bề mặt của chuỗi cách điện (CFO_N)

Điện áp đặt lên chuỗi cách điện thực tế (CFO_N) của cột được vẽ bởi đường nét đậm trên hình 4a bao gồm ảnh hưởng điện áp ở tần số công nghiệp V_{PF} , điện áp trên điện trở tiếp địa cột V_{IF} và hao tổn điện áp trên cột ΔV . Sự suy giảm điện áp ở phần đuôi sóng gây ra bởi sóng phản xạ từ cột lân cận. Nhận thấy rằng dạng sóng này khác rất nhiều so với dạng xung chuẩn 1,2/50 μs , xung mà dùng để xác định giá trị CFO của cách điện (hình 4b). Giá trị CFO_N được tính xấp xỉ theo công thức (3) [13].

$$CFO_N = CFO \cdot \left[0,97 + \frac{2,8}{\tau} \right] \cdot \left[1 + \frac{\Delta V}{V_{IF}} \right] \cdot \left[1 - 0,2 \left(1 + \frac{\Delta V}{V_{IF}} \right) \frac{V_{PF}}{CFO} \right] \cdot \left[1 - 0,1 \left(1 + \frac{10}{\tau} \right) \frac{\Delta V}{V_{IF}} \right] e^{-\left[\frac{\Delta V}{V_{IF}} \left(\frac{t_f}{13} \right) \right]} \quad (3)$$



Hình 4. Điện áp đặt lên chuỗi cách điện (a) và dạng xung chuẩn để thử nghiệm xác định CFO của cách điện (b)

3. CÁC THAM SỐ CỦA ĐƯỜNG DÂY VÀ GIẢI PHÁP ĐỂ XUẤT

Đường dây 220kV hai mạch như hình 5, trong đó dây pha sử dụng loại ACRS 500/62, DCS gồm có hai dây, một dây sử dụng loại dây PHLOX 116 và một dây sử dụng loại dây OPGW có tiết diện 90mm². Tham số và các dữ liệu của về dây pha và DCS được nêu trong bảng 1.

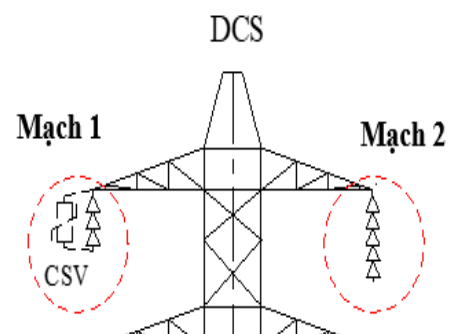
Cách điện của đường dây sử dụng loại cách điện thủy tinh U70BS, gồm 15 bát chiều dài mỗi bát 146mm.

Giả thiết đường dây tải điện nằm trong khu vực có mật độ sét là 10 lần/100km².năm.

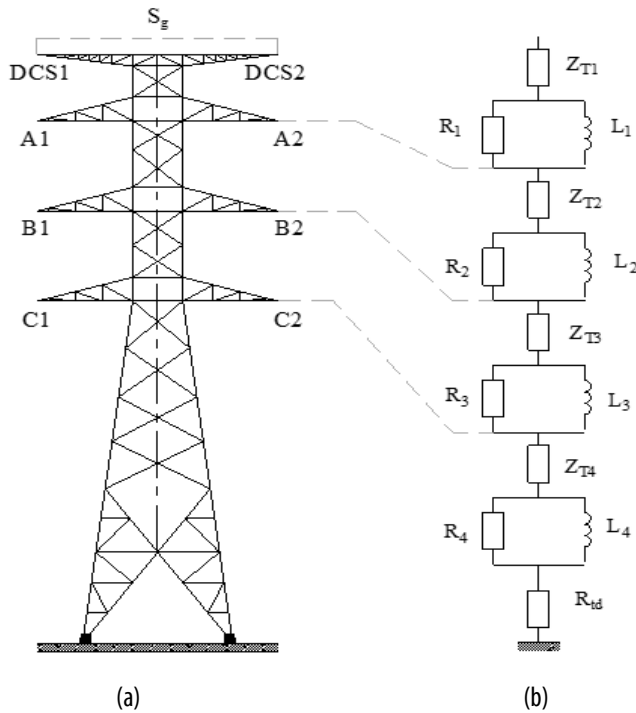
Bảng 1. Tham số của dây dẫn và DCS

Loại dây	Đường kính (mm)	Điện trở một chiều R_0 (Ω /km)
ACRS 500/62	30,6	0,069
PHLOX 116	14	0,59
OPGW-90	14,4	0,48

Đường dây gồm có hai mạch, mạch bên trái có mức cách điện thấp hơn sẽ kết hợp lắp CSV (hình 5). Mạch có mức cách điện thấp sử dụng số bát cách điện là 14, 15, 16 còn mạch có mức cách điện cao luôn là 17.



Hình 5. Mạch có mức cách điện thấp được lắp CSV



Hình 6. Cột hai mạch (a) và mô hình cột trong EMTP/ATP (b)

4. THIẾT LẬP MÔ PHỎNG EMTP/ATP

Đường dây: Trong mô phỏng EMTP đường dây sử dụng mô hình phụ thuộc tần số J-Marti, đã được công bố trong [5, 8] bao gồm 2 DCS và 6 dây pha, chiều dài của khoảng vượt trung bình 350m. Mô hình J-Marti sẽ tự tính toán tổng trở sóng của bản thân đường dây và tổng trở sóng tương hỗ giữa các dây với nhau theo các tần số khác nhau của dòng điện sét.

Cột: Sử dụng mô hình cột nhiều tầng multistory được đề xuất trong [5, 8] minh họa trên hình 6.b. Khi đó, mỗi tầng xà của cột được thay thế bởi một tổng trở sóng Z nối tiếp với một điện trở R và song song với điện cảm L [14]; chiều cao cột, chiều cao của các tầng cột và khoảng cách giữa các pha, thứ tự pha và khoảng cách giữa hai DCS (S_g) được trình bày trong bảng 1.

Điện trở nối đất: Hệ thống tiếp địa của cột, có thể sử dụng một tia hoặc nhiều tia kết hợp với cột và được thay thế tương đương một điện trở một chiều R_{td} [3], trong nghiên cứu này giá trị R_{td} thay đổi từ 10Ω đến 50Ω .

Chuỗi cách điện: Chuỗi cách điện trong bài báo này sử dụng mô hình theo IEEE [4], đặc tính phóng điện bề mặt được thể hiện bằng đường đặc tính V-t xác định theo biểu thức:

$$V(t) = \left(400 + \frac{710}{t^{0.75}} \right) \cdot L \quad (4)$$

Trong đó:

$V(t)$: Điện áp phóng điện (kV) ;

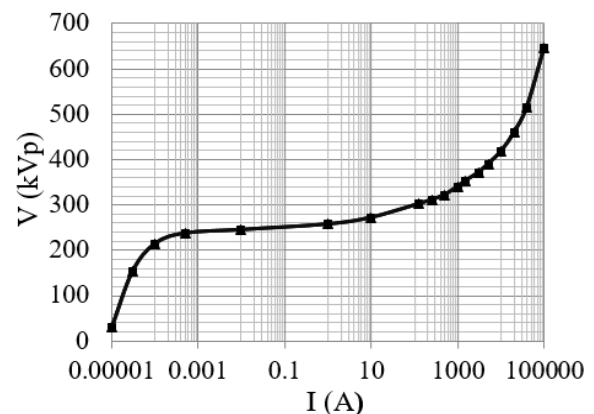
t : Thời gian phóng điện (μs) ;

L : Chiều dài của chuỗi cách điện (m), có thể tính gần đúng bằng chiều dài một bát cách điện nhân với số bát cách điện, đối với cấp điện áp 220kV là 2,19m, cấp điện áp 110kV là 1,16m.

Chống sét van: Sử dụng loại CSV không khe hở, có đường đặc tính V-A mô tả trên hình 7. Trong bài báo này CSV được sử dụng mô hình đơn giản của IEEE [15].

Bảng 2. Dữ liệu về kích thước đường dây

TT	Mạch	Pha	x (m)	y (m)	S_g (m)
1	1	A1	-4	40,1	8
2	1	B1	-4	34,51	8
3	1	C1	-4	29,01	8
4	2	A2	4	40,1	8
5	2	B2	4	34,51	8
6	2	C2	4	29,01	8
7	DCS1	-	-4	45,2	8
8	DCS2	-	4	45,2	8



Hình 7. Đặc tính V-A của CSV

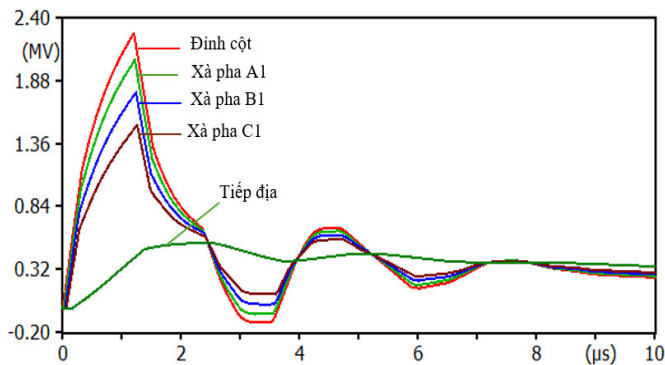
5. KẾT QUẢ VÀ THẢO LUẬN

5.1. Điện áp tại các vị trí cột và trên chuỗi cách điện

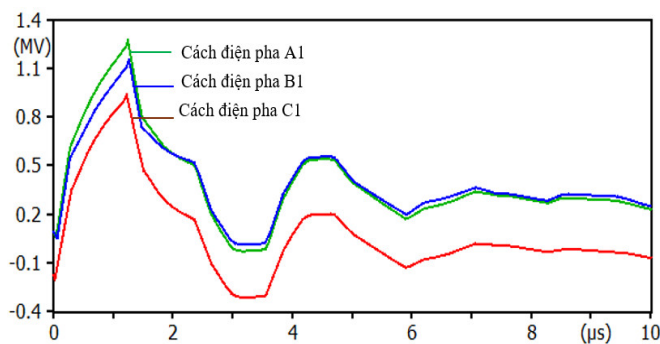
Tiến hành mô phỏng với trường hợp sét đánh vào đỉnh cột, nguồn sét dạng sóng Slope-Ramp ($1,2/50\mu s$) với cường độ 60kA, điện trở tiếp địa cột 10Ω , cột hai mạch có mức cách điện giống nhau. Điện áp tại đỉnh cột, tại xà các pha và tại tiếp địa cột trình bày trên hình 8 và điện áp trên cách điện các pha trình bày trên hình 9.

Kết quả mô phỏng cho thấy, sóng điện áp khi lan truyền từ đỉnh cột xuống tiếp địa có sự suy giảm tương đối đáng kể, điều này cho thấy do ảnh hưởng của tổng trở các đoạn thân cột đã làm suy giảm sóng điện áp khi lan truyền. Điện áp đặt lên chuỗi cách điện pha trên cùng (A1)

là lớn nhất, điều này gợi ý cho việc đề xuất giải pháp giảm sự cố sẽ ưu tiên cho pha trên cùng.

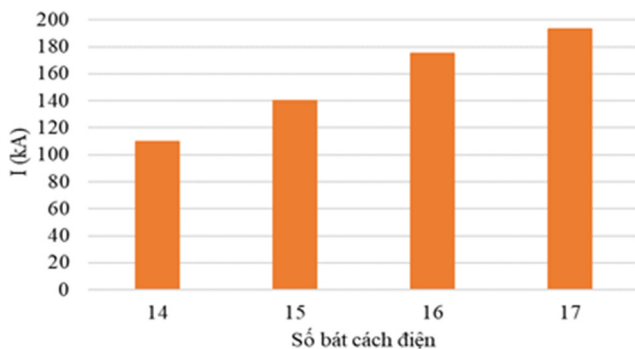


Hình 8. Điện áp tại các vị trí cột khi sét đánh đỉnh cột



Hình 9. Điện áp trên chuỗi cách điện trường hợp sét đánh đỉnh cột

5.2. Ngưỡng dòng điện sét gây phóng điện khi thay đổi chiều dài cách điện



Hình 10. Ngưỡng dòng điện sét gây phóng điện khi thay đổi số bát cách điện

Với trường hợp sét đánh đỉnh cột, dòng điện sét có trị số 60kA, dạng Slope-Ramp (1,2/50μs), điện trở tiếp địa của cột lấy trị số 10Ω. Dòng điện sét lớn nhất gây phóng điện khi thay đổi số bát cách điện lần lượt là 14, 15, 16 và 17 được trình bày trên hình 10. Kết quả mô phỏng cho thấy khi tăng số bát cách điện từ 14 lên 17 thì ngưỡng dòng điện tăng tới 1,8 lần (từ 110kA lên 193kA). Do vậy, nhận thấy phương pháp tăng chiều dài chuỗi cách điện là một biện pháp nâng cao khả năng chịu sét cho đường dây tải điện. Tuy nhiên, khi thiết kế số lượng cách điện bổ sung nên được quyết định sau khi đã tính toán về mặt cơ

học của đường dây để đảm bảo đường dây vận hành an toàn khi số lượng cách điện tăng lên.

5.3. Suất sự cố do sét đánh đỉnh cột khi sử dụng giải pháp đề xuất

Trường hợp sét đánh đỉnh cột hoặc đánh vào khoảng vượt gây ra phóng điện dẫn đến cắt điện đường dây, khi đó suất sự cố đường dây ký hiệu là BFR (BackFlashover Rates) được tính toán theo CIGRE [16] và xác định theo công thức (5).

$$BFR = 0,6 \cdot N_L \cdot P(I > I_c) \quad (\text{lần}/100 \text{ km.năm}) \quad (5)$$

Trong đó:

N_L : Số lần sét đánh vào đường dây trên 100km trong một năm xác định theo IEEE [3]:

$$N_L = N_g \frac{28h^{0,6} + S_g}{10}$$

Với:

N_g : Mật độ sét sét đánh (lần/1km².năm);

H : Chiều cao của cột điện (m);

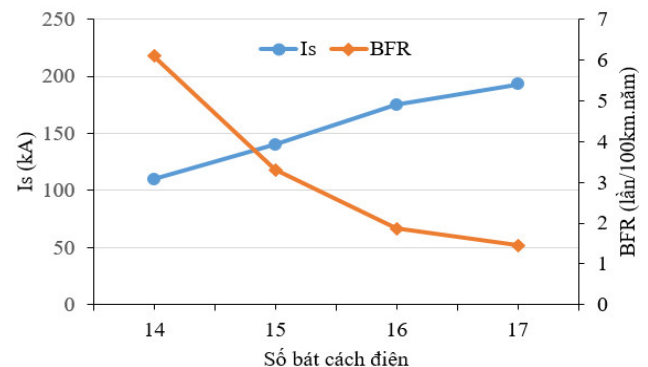
S_g : Khoảng cách giữa hai DCS (m);

$P(I > I_c)$: Xác suất dòng điện sét xuất hiện có cường độ lớn (I) hơn cường độ dòng điện nhỏ nhất gây ra phóng điện trên chuỗi cách điện I_c , xác định theo IEEE std.1243-1997 [3]:

$$P(I > I_c) = \frac{1}{1 + \left(\frac{I}{31}\right)^{2,6}}$$

5.3.1. Suất sự cố BFR theo số bát cách điện

Kết quả tính toán mô phỏng xác định BFR khi thay đổi số bát cách điện được trình bày trong hình 11. Kết quả cho thấy, khi tăng số bát cách điện từ 14 lên 17 bát tương ứng với chiều dài cách điện tăng 44cm, suất sự cố giảm tới hơn 4 lần từ 6,09 lần/100km.năm xuống còn 1,45 lần/100km.năm.



Hình 11. Suất sự cố BFR theo số lượng bát cách điện, $R_{td} = 10 \Omega$

5.3.2. So sánh suất sự cố BFR khi sử dụng giải pháp cách điện không đối xứng

Trường hợp sử dụng cách điện đối xứng, đường dây truyền tải hai mạch đều sử dụng 15 bát cách điện. Trong trường hợp sử dụng cách điện không đối xứng thì một mạch sử dụng 15 bát cách điện, mạch còn lại sử dụng 18 bát cách điện. Kết quả tính toán BFR đường dây một mạch và đường dây hai mạch khi điện trở tiếp địa cột lần lượt là 10Ω và 50Ω trình bày trong bảng 3. Kết quả cho thấy khi sử dụng giải pháp cách điện không đối xứng suất sự cố BFR của hai mạch đã giảm đáng kể từ 3,31 lần/100km.năm xuống 0,73 lần/100km.năm khi điện trở tiếp địa cột 10Ω và giảm 5,83 lần/100km.năm xuống 3,08 lần/100km.năm khi điện trở tiếp địa cột 50Ω.

Bảng 3. Suất cắt đường dây khi sử dụng cách điện đối xứng và không đối xứng

R_{td} (Ω)	Suất cắt đường dây khi sử dụng cách điện đối xứng (Lần/100km/năm)		Suất cắt đường dây khi sử dụng cách điện không đối xứng (Lần/100km/năm)	
	Mạch đơn	Hai mạch	Mạch đơn	Hai mạch
10	3,31	3,31	3,31	0,73
50	5,83	5,83	5,83	3,08

Trị số dòng điện sét gây phóng điện nhỏ nhất và suất sự cố BFR khi sét đánh đỉnh cột với các trường hợp cả hai mạch sử dụng 15 hoặc 18 bát cách điện và trường hợp mạch một sử dụng 15 bát cách điện và mạch 2 sử dụng 18 bát cách điện trình bày trong bảng 4. Kết quả cho thấy khi sử dụng cách điện không đối xứng sự cố do sét đánh đỉnh cột hai mạch giảm từ 1,67 lần/100km.năm xuống còn 0,73 lần/100km.năm

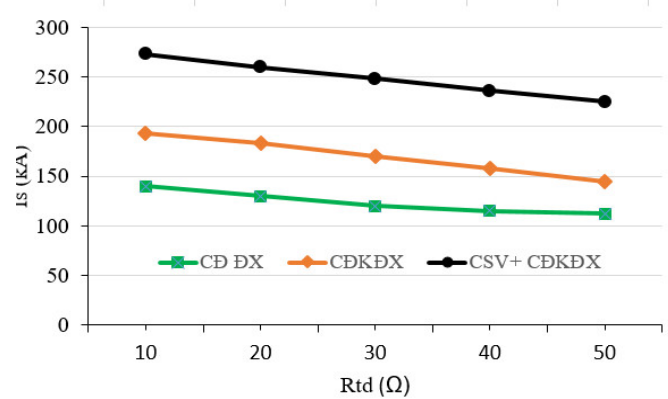
Bảng 4. Suất cắt đường dây khi sử dụng mức cách điện khác nhau, $R_{td}=10\Omega$

Số phần tử cách điện của mạch 1 và mạch 2	Ngưỡng dòng điện sét gây phóng điện (kA)	Suất cắt hai mạch (Lần/100km/năm)
15/15	140	3,31
18/18	175	0,94
15/18	193	0,73

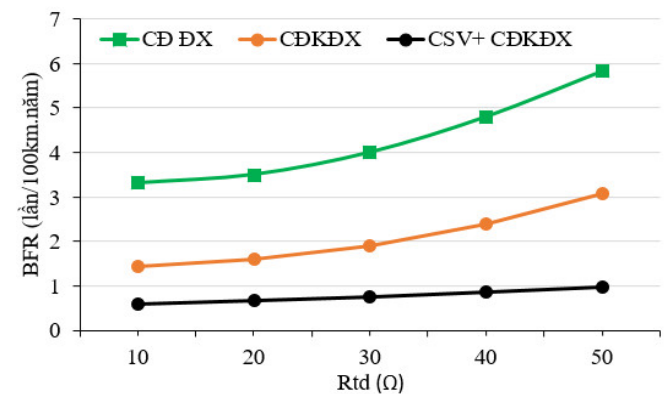
5.3.3. So sánh suất sự cố BFR khi sử dụng giải pháp đề xuất

Mô phỏng với các trường hợp sau: thứ nhất đường dây sử dụng cách điện đối xứng (CĐĐX) hai mạch có số phần tử cách điện bằng nhau gồm 15 bát cách điện, thứ hai đường dây sử dụng phương pháp CĐKĐX một mạch có số bát cách điện là 15 một mạch có số bát cách điện là 18,

thứ ba sử dụng phương pháp đề xuất trong bài báo này là một mạch có mức cách điện kém hơn (mạch có 15 bát cách điện) sẽ lắp 3 CSV mạch 2 có 18 bát cách điện. Kết quả mô phỏng xác định cường độ dòng điện sét nhỏ nhất và suất sự cố BFR của đường dây truyền tải theo điện trở tiếp địa cột với trường hợp sét đánh đỉnh cột với các phương pháp khác nhau thể hiện trên hình 12. Kết quả tính toán mô phỏng cho thấy phương pháp được sử dụng cách điện không đối xứng kết hợp với lắp CSV cho mạch có cách điện yếu hơn đạt hiệu quả tốt nhất. Suất sự cố đường dây của giải pháp đề xuất giảm gần 5,2 lần so với phương pháp CĐĐX và giảm 2 lần so với phương pháp CĐKĐX khi R_{td} là 10Ω. Tương ứng với ngưỡng dòng điện sét tăng 41,5% và suất sự cố giảm 59,2%.



Hình 12. Ngưỡng dòng điện sét theo các giải pháp



Hình 13. Suất sự cố BFR theo các giải pháp

6. KẾT LUẬN

Bài báo này trình bày về giải pháp sử dụng CSV kết hợp CĐKĐX để nâng cao khả năng chịu sét cho đường dây truyền tải hai mạch cấp điện áp 220kV. Trong đó, cách điện của đường dây sẽ được thiết kế lệch nhau từ 2 đến 3 bát cách điện, tại những vị trí có nguy cơ xảy ra sét đánh cao (chiều cao cột lớn, điện trở tiếp địa cao, mật độ sét lớn) sẽ lắp CSV. Kết quả nghiên cứu cho thấy, sự cố cắt điện đồng thời cả hai mạch sẽ không xảy ra, trị số cường độ dòng điện sét nhỏ nhất gây phóng điện trên hai mạch

tăng 41,5%, suất sự cố do sét giảm tới 59,2%. Các kết quả mô phỏng xác định cường độ dòng điện sét nhỏ nhất và suất sự cố BFR khi sét đánh đỉnh cột cũng được so sánh với giải pháp CĐĐX và giải pháp CĐKĐX.

Hướng phát triển tiếp theo của báo cáo là so sánh chỉ tiêu kinh tế để lựa chọn giải pháp hiệu quả và lựa chọn vị trí tối ưu để lắp CSV, để vừa đạt hiệu quả chỉ tiêu về chống sét và đảm bảo chỉ tiêu kinh tế trong vấn đề chống sét cho đường dây truyền tải điện 220kV hai mạch.

TÀI LIỆU THAM KHẢO

- [1]. Bộ Công Thương, *Quy hoạch phát triển điện lực quốc gia thời kỳ 2021 - 2030, tầm nhìn đến năm 2050* (gọi tắt là Quy hoạch điện VIII). Hà Nội, 2023.
- [2]. Tổng công ty truyền tải điện Quốc gia, *Báo cáo công tác giảm thiểu sự cố có nguyên nhân do sét trên các đường dây 220, 500kV*. Hà Nội, 2017.
- [3]. IEEE Std 1243-1997, *IEEE guide for improving the lightning performance of transmission lines*. Standard IEEE, 1997.
- [4]. IEEE Working Group, "Modeling guidelines for fast front transients," *IEEE Transactions on Power Delivery*, 11, 493 - 503, 1996.
- [5]. Ninh Văn Nam, *Nghiên cứu một số giải pháp giảm sự cố do sét cho đường dây truyền tải điện trên không*. Luận án Tiến sĩ, Trường Đại học Bách khoa Hà Nội, Hà Nội, 2020.
- [6]. Martinez J., F. Castro-Aranda, "Lightning flashover rate of an overhead transmission line protected by surge arresters," *Power Engineering Society General Meeting*, IEEE, 1-6, 2007.
- [7]. Martinez J. A., F. Castro-Aranda, "Lightning performance analysis of an overhead transmission line protected by surge arresters," *IEEE Latin America Transactions*, 7, 1, 62-70, 2009.
- [8]. Ametani A., T. Kawamura, "A method of a lightning surge analysis recommended in Japan using EMTP," *IEEE Transactions on Power Delivery*, 20, 2, 867-875, 2005.
- [9]. EChristodoulou C. A., F. A. Assimakopoulou, I. F. Gonos, I. A. Stathopoulos, "Simulation of metal oxide surge arresters behavior," in *Power Electronics Specialists Conference, PESC 2008*, IEEE, 1862-1866, 2008.
- [10]. Kawai M., H. Azuma, "Design and performance of unbalanced insulation in double-circuit transmission lines," *IEEE Transactions on Power Apparatus and Systems*, 84, 9, 839-846, 1965.
- [11]. Shen Z., Zhou H., Deng X., Chen J., "Application of Unbalanced Insulation in 220 kV and 110 kV Double-Circuit Transmission Lines on the Same Tower," *Power System Technology*, 2013.
- [12]. Li Z., Z. Yu, X. Wang, J. He, "A design of unbalanced insulation to improve the lightning performance of multi-circuit transmission lines," in *2012 International Conference on Lightning Protection (ICLP)*, IEEE, 1-4, 2012.

[13]. Andrew R. Hileman, *Insulation coordination for power systems*. CRC Press, 1999.

[14]. IEC TR 60071-4, *Insulation co-ordination, part 4: computational guide to insulation co-ordination and modeling of electrical networks*. Standard IEC, 2004.

[15]. IEEE Working Group 3.4.1.1, "Modeling of metal-oxide surge arresters," *IEEE Transactions on Power Delivery*, 7, 1, 302-309, 1992.

[16]. CIGRE, *Guide to procedures for estimating the lightning performance of transmission lines*. CIGRE Technical Brochure, no. 63, 1991.

AUTHORS INFORMATION

Ninh Van Nam¹, Vu Huu Thich², Nguyen Duc Khoa²

¹School of Electrical and Electronic Engineering, Hanoi University of Industry, Vietnam

²Vietnam - Japan Center, Hanoi University of Industry, Vietnam