

NGHIÊN CỨU KỸ THUẬT BÙ ỔN ĐỊNH CHO LDO KHÔNG SỬ DỤNG TỤ ĐIỆN NGOÀI CHIP TRÊN CÔNG NGHỆ CMOS

COMPENSATION TECHNIQUE FOR CAPACITOR-LESS LDO IN CMOS

Đinh Thị Thùy Dương^{1,*}, Nguyễn Trung²

TÓM TẮT

Bài báo này trình bày về kỹ thuật bù cho hoạt động ổn định của mạch ổn áp điện áp rơi thấp (Low-dropout Regulator: LDO) không sử dụng tụ điện ngoài chip cho các ứng dụng tất cả hệ thống trên một chip (System-on-Chip: SoC) và các hệ thống nhúng. Dựa trên phân tích về phương pháp bù sử dụng tụ điện Miller và bù sử dụng tụ điện kết hợp với điện trở phản hồi, bài báo đề xuất giải pháp kết hợp hai phương pháp bù này để đạt được độ dự trữ pha (Phase margin: PM) cao và tăng tần số tại hệ số khuếch đại bằng 1 của vòng lặp (Gain-bandwidth: GBW). Phương pháp bù đề xuất giúp giảm thời gian khôi phục (Recovery time) của LDO trong điều kiện chuyển tải và cải thiện tỷ số loại bỏ tạp âm nguồn cung cấp (Power supply rejection ratio: PSRR). Mạch LDO với kỹ thuật bù đề xuất được thiết kế trên công nghệ CMOS 180nm. Kết quả mô phỏng thể hiện rằng mạch có thời gian khôi phục khi thay đổi dòng tải từ 10 μ A đến 100mA và ngược lại lần lượt là 300ns và 500ns. Tỷ số loại bỏ tạp âm nguồn cung cấp tại 1kHz, 100kHz và 10MHz tương ứng là 58,5dB; 34,2dB và 5,8dB.

Từ khóa: Ổn áp điện áp rơi thấp, không có tụ ngoài chip, bù ổn định, thời gian khôi phục.

ABSTRACT

This paper presents a compensation technique for stable operation of capacitor-less low-dropout Regulator (LDO) circuits for System on Chip (SoC) applications and embedded systems. Based on the analysis of compensation methods using Miller capacitor and using capacitor in combination with feedback resistors, the paper proposes to combine these two compensation methods to achieve high phase margin (PM) and expand Gain-bandwidth (GBW). The combination of these two compensation techniques obtain both fast recovery time during load step and high Power supply rejection ratio (PSRR). The proposed LDO is implemented in a 180nm CMOS process. The simulation results demonstrate that the LDO has a short recovery time of 300ns and 500ns for load transient from 10 μ A to 100mA and vice versa, respectively. The PSRR at 1kHz, 100kHz and 10MHz are 58.5dB, 34.2dB and 5.8dB, respectively.

Keywords: Low-dropout Regulator (LDO), without external capacitor (capacitor-less), stability compensation, recovery time.

¹Viện Khoa học Công nghệ Quân sự

²Viện Kỹ thuật Hải Quân

*Email: duongmta@gmail.com

Ngày nhận bài: 15/5/2022

Ngày nhận bài sửa sau phản biện: 02/8/2022

Ngày chấp nhận đăng: 29/8/2022

1. GIỚI THIỆU

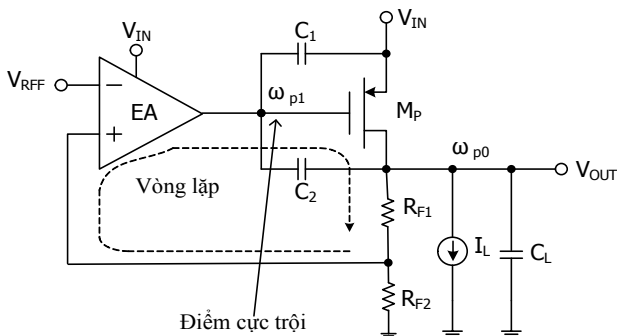
Mạch ổn áp điện áp rơi thấp (LDO) là một thành phần quan trọng trong các hệ thống quản lý nguồn [1]. Mạch LDO thích hợp cho các thiết kế tích hợp trên chip và cung cấp một nguồn điện áp sạch cho các mạch tải. Điều này là bởi LDO có kích thước nhỏ, công suất tiêu thụ thấp và tạp âm thấp [2]. Mạch LDO truyền thống yêu cầu thêm một tụ điện lớn [3, 4] tại đầu ra để giảm sự thay đổi của điện áp đầu ra trong đáp ứng chuyển đổi tải và để duy trì sự ổn định của LDO, cũng như đạt được khả năng loại bỏ tạp âm nguồn cung cấp tốt. Tuy nhiên, việc thêm một tụ điện lớn tại đầu ra dẫn đến khó tích hợp vào hệ thống tất cả trên một chip (SoC) bởi vì giới hạn về diện tích. Ngoài ra, việc thêm một tụ điện lớn ngoài chip cũng có thể làm tăng giá của sản phẩm. Trong khi đó, sự tích hợp hoàn toàn trên một chip có thể cực tiểu các thành phần ký sinh của các kết nối bên ngoài, tụ điện, điện trở và cuộn cảm. Để vượt qua hạn chế của mạch LDO truyền thống, mạch LDO không sử dụng tụ điện ngoài chip (Output capacitor-less LDO: OCL-LDO) đã trở thành xu thế nghiên cứu và phát triển trong những năm gần đây [5, 6]. Mạch OCL-LDO rất thích hợp cho SoC và các thiết bị điện tử mang xách như điện thoại di động, máy tính cá nhân vì kích thước nhỏ gọn và giá thành giảm. Tuy nhiên, không có tụ điện lớn tại đầu ra đồng nghĩa với việc không có một điểm cực trội tại đầu ra để đảm bảo ổn định cho OCL-LDO, trong khi các điểm cực bên trong mạch lại thay đổi theo dòng tải. Điều này dẫn đến thách thức trong thiết kế OCL-LDO để cung cấp điện áp đầu ra ổn định với một khoảng rộng dòng tải, đặc biệt tại các dòng tải thấp. Để giải quyết vấn đề này, các kỹ thuật bù ổn định khác nhau đã được đề xuất. Trong đó, hai kỹ thuật bù được sử dụng phổ biến là bù sử dụng tụ Miller [7 - 11] và bù sử dụng tụ điện kết hợp với điện trở phản hồi [12, 13]. Phương pháp bù sử dụng tụ Miller đạt được độ dự trữ pha (Phase margin: PM) lớn nhưng có tần số tại hệ số khuếch đại bằng 1 của vòng lặp (Gain-bandwidth: GBW) không lớn. Trong khi đó, phương pháp bù sử dụng tụ điện kết hợp với điện trở phản hồi đạt được GBW rộng nhưng không có PM lớn.

Bài báo này đề xuất mạch OCL-LDO cho hệ thống quản lý nguồn trong SoC và các thiết bị điện tử di động với độ dự trữ pha cao và GBW được cải thiện trong điều kiện dòng tải thấp. Điều này đạt được bằng cách kết hợp phương pháp bù sử dụng tụ Miller và bù sử dụng tụ điện kết hợp với điện

trở phản hồi. Ngoài ra các kỹ thuật bù cũng được phân tích bằng giải tích và mô phỏng. Bài báo gồm có năm phần, phần tiếp theo sẽ trình bày về cấu trúc tổng quát của mạch OCL-LDO, bao gồm các thành phần, nguyên lý hoạt động và phân tích. Phần thứ 3 sẽ trình bày về các kỹ thuật bù ổn định cho mạch OCL-LDO, kết quả mô phỏng mạch được giới thiệu trong mục 4 và cuối cùng là kết luận.

2. CẤU TRÚC VÀ ĐÁP ỨNG TẦN SỐ CỦA OCL-LDO

Mạch LDO là mạch ổn áp tuyến tính có điện áp rơi thấp, mạch điều chỉnh điện áp đầu ra ổn định ngay cả khi điện áp đầu vào thay đổi và có giá trị gần bằng với điện áp đầu ra. Cấu trúc tổng quát của mạch OCL-LDO được thể hiện như trên hình 1.



Hình 1. Cấu trúc tổng quát của mạch OCL-LDO

Mạch bao gồm một điện áp tham chiếu (V_{REF}), một bộ khuếch đại lỗi (EA), một bóng bán dẫn công suất (M_p), một mạng phản hồi điện trở (R_{F1} , R_{F2}), dòng tải (I_L) và tụ điện ký sinh (C_L) với giá trị điển hình dưới 100pF. Bộ khuếch đại lỗi sẽ so sánh điện áp tham chiếu với điện áp được trích ra từ mạng phản hồi để tạo ra tín hiệu điều khiển đưa đến bóng bán dẫn công suất để điều khiển tăng hoặc giảm dòng của bóng bán dẫn cung cấp ra tải, làm ổn định điện áp đầu ra. Từ đó ta có điện áp đầu ra của mạch LDO như thể hiện trong biểu thức (1). Biểu thức này cho thấy điện áp đầu ra không phụ thuộc vào điện áp đầu vào.

$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_{F1}}{R_{F2}} \right) \tag{1}$$

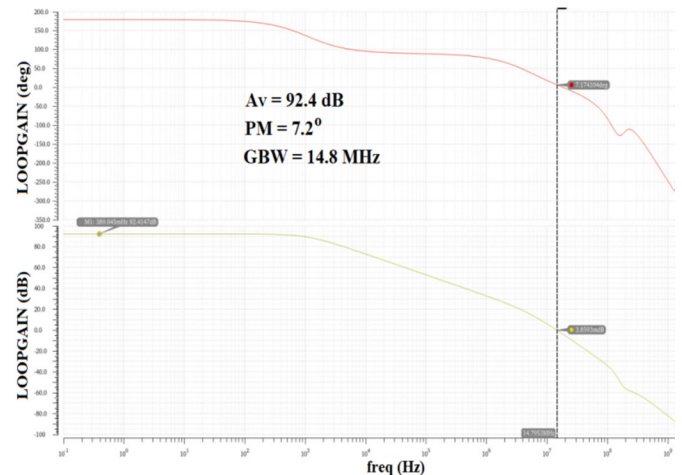
LDO sử dụng phản hồi âm để điều chỉnh dòng điện nên độ ổn định của vòng phản hồi trở thành tham số quan trọng cần xem xét trong thiết kế. Vì vậy trước tiên bài báo sẽ tập trung vào trình bày về đáp ứng tần số của OCL-LDO. Với mạch EA một tầng, OCL-LDO sẽ có hai điểm cực: một điểm cực trội tại đầu ra của mạch EA (ω_{p1}) và một điểm cực tại đầu ra của mạch (ω_{p0}). Hai điểm cực này được xác định theo biểu thức (2) và (3) [14].

$$\omega_{p0} = \frac{g_{out}}{C_L} \propto I_L \tag{2}$$

$$\omega_{p1} = \frac{g_{o,EA}}{(C_1 + (1 + A_p)C_2)} \propto \sqrt{I_L} \tag{3}$$

Trong đó, g_{out} là điện dẫn tương đương đầu ra của mạch LDO và được xác định như $g_{out} = g_{ds} + g_L + g_{\beta}$, với β là hệ số

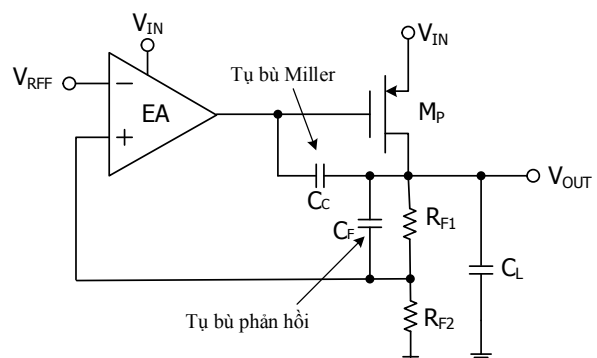
phản hồi được xác định bởi $R_{F2}/(R_{F2} + R_{F1})$, A_p là hệ số khuếch đại điện áp của bóng bán dẫn công suất, $g_{o,EA}$ là độ dẫn đầu ra của bộ khuếch đại lỗi. Các điện dung $C_1 = C_{gs} + C_{gb}$ và $C_2 = C_{gd}$ với C_{gs} , C_{gb} , C_{gd} là các điện dung ký sinh của bóng bán dẫn công suất. Các biểu thức (2) và (3) cho thấy ω_{p0} là một hàm của I_L và ω_{p1} như một hàm của $\sqrt{I_L}$. Thành ra, khi I_L thay đổi thì vị trí của ω_{p0} và ω_{p1} cũng thay đổi, ω_{p0} sẽ thay đổi nhanh hơn so với ω_{p1} và độ dự trữ pha của mạch sẽ giảm theo sự giảm của I_L . Hình 2 thể hiện kết quả mô phỏng đáp ứng tần số vòng hở của OCL-LDO trong điều kiện dòng tải nhỏ 10 μ A. Mô phỏng mạch được thực hiện trên phần mềm thiết kế chip chuyên dụng Cadence [15]. Mạch thể hiện sự không ổn định khi có độ dự trữ pha PM là 7,2°.



Hình 2. Kết quả mô phỏng đáp ứng tần số của OCL-LDO

3. KỸ THUẬT BÙ ỔN ĐỊNH CHO OCL-LDO

Như đã được chỉ ra trong phần 2, OCL-LDO sẽ không ổn định trong điều kiện dòng tải nhỏ. Vì vậy, cần các kỹ thuật bù để tăng PM, đảm bảo mạch làm việc ổn định với một khoảng rộng của dòng tải. Hình 3 thể hiện kỹ thuật bù ổn định cho OCL-LDO để xuất. Trong đó, C_C là tụ bù Miller và C_F là tụ bù kết hợp với điện trở phản hồi.



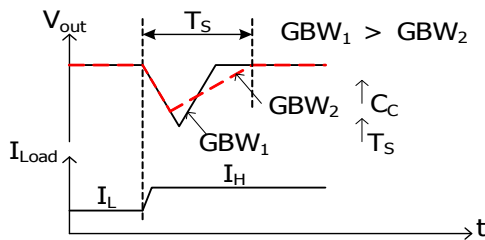
Hình 3. Kỹ thuật bù ổn định cho OCL-LDO để xuất

Trong trường hợp mạch OCL-LDO chỉ sử dụng tụ bù Miller C_C thì đường tín hiệu thông qua C_C từ đầu ra của EA đến đầu ra của LDO sẽ tạo thành một điểm không với tần số bằng g_{mp}/C_C [16]. Trong đó, g_{mp} là độ dẫn của bóng bán dẫn công suất, phụ thuộc vào dòng tải (I_L) và kích thước của bóng bán dẫn công suất. Điều này sẽ giúp tăng

PM của OCL-LDO. Tuy nhiên trong trường hợp này, GBW của mạch được xác định theo biểu thức (4) [14].

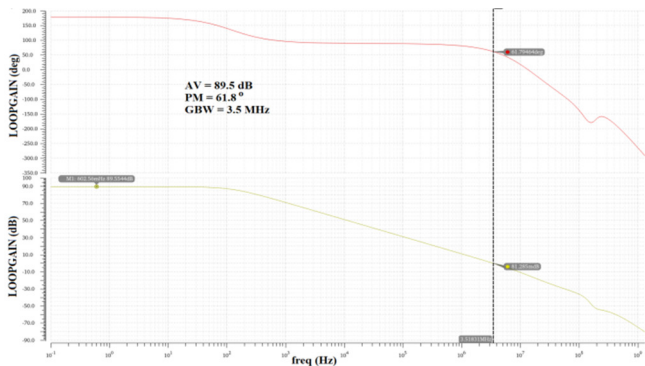
$$GBW \cong \frac{\beta g_{m,EA}}{C_C} \tag{4}$$

Trong đó, $g_{m,EA}$ là độ hở dẫn của mạch khuếch đại lỗi. Biểu thức (4) cho thấy GBW của LDO tỷ lệ nghịch với giá trị của C_C . Trong khi đó một giá trị C_C lớn sẽ giúp đảm bảo mạch LDO làm việc ổn định. Thành ra, phương pháp bù sử dụng tụ Miller có GBW nhỏ. Nghiên cứu trong [17] đã chỉ ra rằng, GBW tỷ lệ nghịch với thời gian khôi phục (T_R) khi chuyển tải như được chỉ ra trên hình 4. Vì vậy, mạch OCL-LDO muốn đạt được thời gian khôi phục nhanh thì cần GBW rộng.

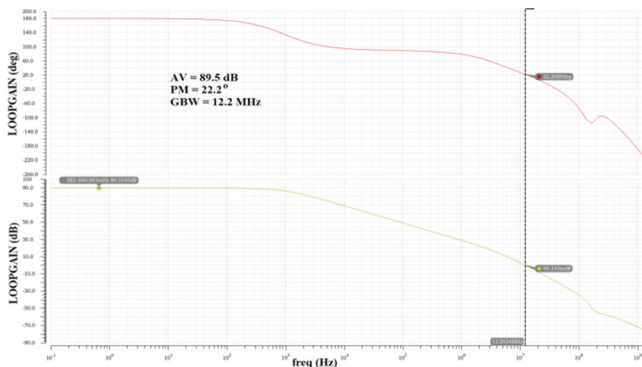


Hình 4. Mối quan hệ giữa thời gian khôi phục và GBW trong OCL-LDO

Như một kết quả, mạch OCL-LDO với chỉ thực hiện bù bằng tụ Miller C_C sẽ có thời gian khôi phục dài. Hình 5(a) thể hiện kết quả mô phỏng đáp ứng tần số của OCL-LDO với tụ bù Miller. Mạch đảm bảo ổn định với PM bằng $61,8^\circ$, hệ số khuếch đại một chiều bằng $89,5\text{dB}$ và GBW là $3,5\text{MHz}$.



(a)



(b)

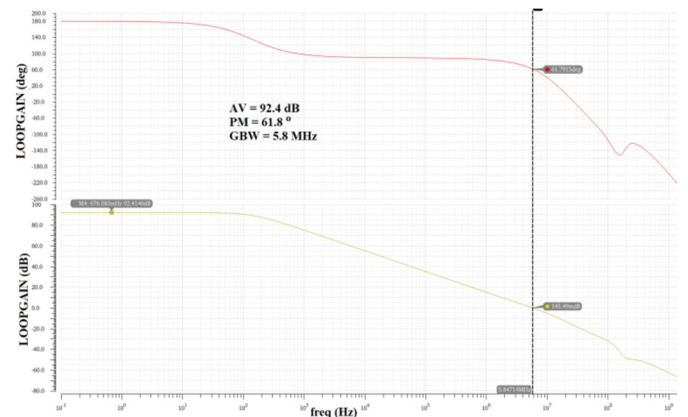
Hình 5. Đáp ứng tần số của OCL-LDO khi sử dụng phương pháp bù: (a) tụ Miller C_C , (b) tụ bù kết hợp với điện trở phản hồi

Trong trường hợp OCL-LDO chỉ sử dụng phương pháp bù với tụ bù kết hợp với điện trở phản hồi thì một tụ điện (C_F) được nối giữa tín hiệu đầu ra và tín hiệu phản hồi để tạo ra cặp điểm cực, điểm không trong vòng phản hồi để bù pha. Các điểm cực (ω_p) và điểm không (ω_z) lần lượt được xác định theo biểu thức (5) và (6) [12].

$$\omega_p = \frac{1}{C_F R_{F1}} \tag{5}$$

$$\omega_z = \frac{1}{C_F (R_{F1} / R_{F2})} \tag{6}$$

Trong đó điểm không luôn luôn nhỏ hơn điểm cực và pha được bù tốt nhất khi hai điểm này cách xa nhau. Điều này đạt được bằng cách chọn tỷ số R_{F1}/R_{F2} lớn. Tuy nhiên, theo biểu thức (1), khi R_{F1}/R_{F2} lớn thì V_{REF} sẽ nhỏ hơn nhiều V_{OUT} , dẫn đến khó khăn trong việc thiết kế mạch tạo điện áp tham chiếu trong các công nghệ mới có điện áp đầu ra LDO dưới 1V . Thành ra, phương pháp bù này bị hạn chế trong việc tăng PM. Kết quả mô phỏng đáp ứng tần số của mạch OCL-LDO sử dụng phương pháp bù này được thể hiện trên hình 5(b). PM cải thiện được 15° so với không bù, trong khi hệ số khuếch đại một chiều và GBW đạt được lần lượt là $89,5\text{dB}$ và $12,2\text{MHz}$.



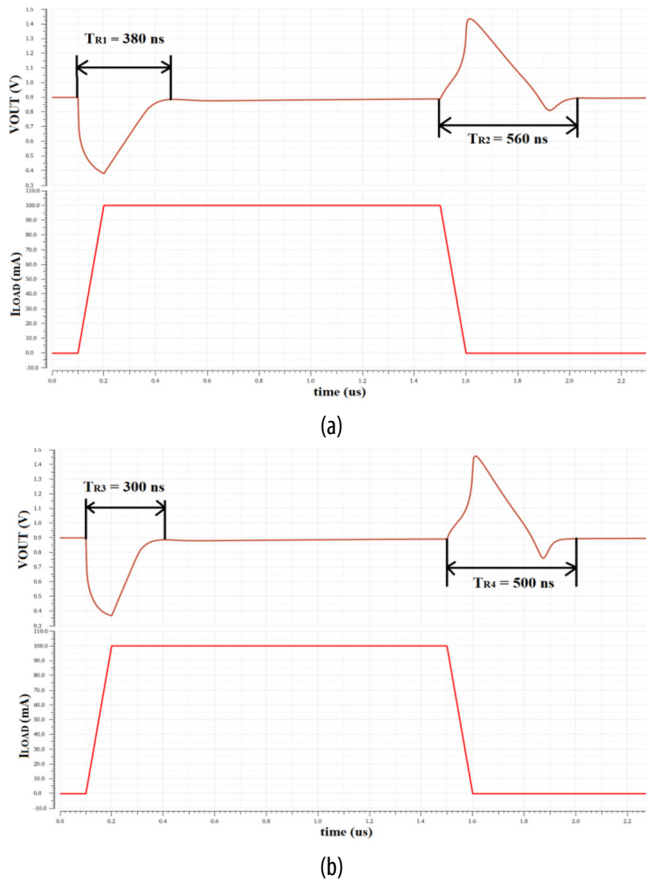
Hình 6. Đáp ứng tần số của OCL-LDO với phương pháp bù đề xuất

Kết quả phân tích và mô phỏng đối với hai phương pháp bù trên cho thấy phương pháp sử dụng tụ bù Miller đạt được PM hơn 60° nhưng có GBW hẹp ($3,5\text{MHz}$), trong khi phương pháp sử dụng tụ bù kết hợp với trở phản hồi đạt được GBW rộng ($12,2\text{MHz}$) nhưng có PM thấp ($22,2^\circ$). Vì vậy bài báo đề xuất kết hợp hai phương pháp bù này trong mạch OCL-LDO để vừa đạt được PM cao, vừa cải thiện được GBW. Hình 6 thể hiện kết quả mô phỏng đáp ứng tần số của mạch OCL-LDO đề xuất. Phương pháp bù đề xuất đạt được PM và hệ số khuếch đại một chiều tương đương với phương pháp bù sử dụng tụ Miller C_C ($61,8^\circ$ và $92,4\text{dB}$), trong khi cải thiện được $2,3\text{MHz}$ của GBW.

4. KẾT QUẢ MÔ PHỎNG VÀ THẢO LUẬN

Mạch OCL-LDO với phương pháp bù đề xuất được thiết kế trên công nghệ CMOS 180nm . Mạch tiêu thụ $86\mu\text{A}$ và $154,8\mu\text{W}$ công suất trong điều kiện không tải với điện áp nguồn cung cấp $1,8\text{V}$.

Để thấy được ưu điểm của mạch OCL-LDO đề xuất, bài báo thực hiện mô phỏng trên phần mềm Cadence với phương pháp bù sử dụng chỉ tụ Miller và phương pháp bù kết hợp đề xuất. Hình 7 thể hiện kết quả mô phỏng thời gian khôi phục điện áp đầu ra của LDO khi thay đổi dòng tải. Dòng tải có khoảng thay đổi rộng từ 10µA đến 100mA với thời gian thay đổi được thiết lập là 100ns. Mạch OCL-LDO được thiết kế để cung cấp điện áp đầu ra ổn định tạo 0,9V cho các ứng dụng SoC với mật độ tích hợp cao. Thời gian khôi phục trong trường hợp sử dụng tụ bù Miller khi dòng tải tăng và giảm lần lượt là 380ns và 560ns (hình 7(a)). Trong khi đó, thời gian khôi phục khi sử dụng phương pháp bù đề xuất lần lượt là 300ns và 500ns (hình 7(b)).

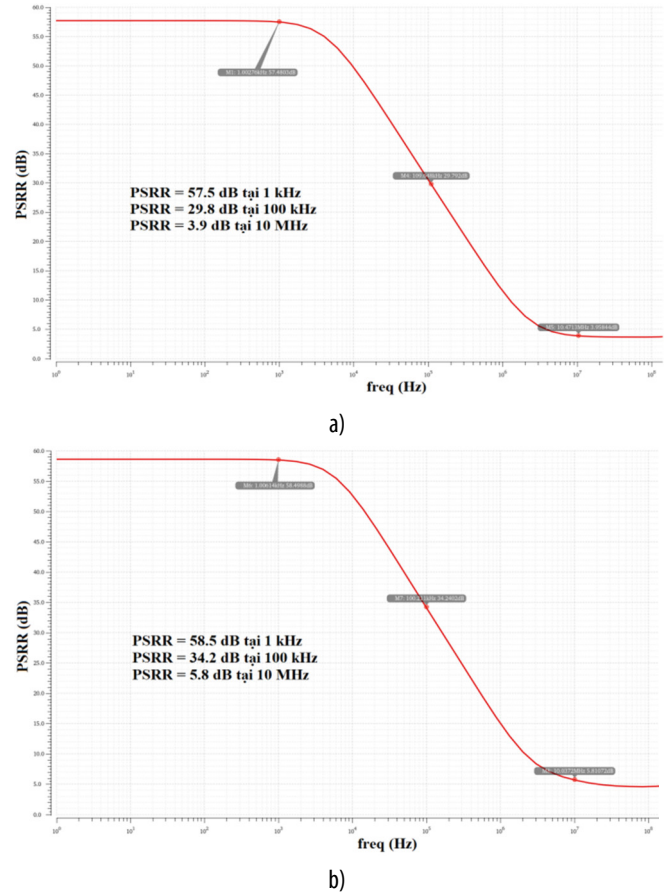


Hình 7. Kết quả mô phỏng thời gian khôi phục của OCL-LDO: (a) sử dụng tụ bù Miller, (b) sử dụng phương thức bù kết hợp đề xuất

Kết quả mô phỏng tỷ số loại bỏ tạp âm nguồn cung cấp (PSRR) được thể hiện trên hình 8. PSRR được mô phỏng trong một khoảng tần số rộng từ 0Hz đến hơn 100MHz. PSRR đạt được khi sử dụng chỉ tụ bù Miller tại tần số 1kHz, 100kHz và 10MHz lần lượt là 57,5dB, 29,8dB và 3,9dB. Trong khi với phương pháp bù đề xuất, PSRR của OCL-LDO đạt được tương ứng là 58,5dB, 34,2dB và 5,8dB.

Các kết quả mô phỏng trên hình 7 và 8 thể hiện rằng, với phương pháp bù đề xuất mạch OCL-LDO giảm được thời gian khôi phục và cải thiện được chất lượng PSRR. Điều này là bởi GBW được mở rộng trong phương pháp bù đề xuất so với phương pháp bù chỉ sử dụng tụ bù Miller. Bảng 1 tổng kết và so sánh chất lượng của mạch OCL-LDO đề xuất

với các nghiên cứu trước. Mạch OCL-LDO đề xuất có thời gian khôi phục ngắn nhất và PSRR cao nhất với trả giá về dòng tiêu thụ.



Hình 8. Kết quả mô phỏng PSRR của OCL-LDO: (a) sử dụng tụ bù Miller, (b) sử dụng phương thức bù kết hợp đề xuất

Bảng 1. Tổng kết và so sánh chất lượng của mạch OCL-LDO

	[7] (Đo)	[9] (Đo)	[10] (Mô phỏng)	[17] (Đo)	Đề xuất (Mô phỏng)
Công nghệ (nm)	350	65	180	350	180
Nguồn cấp (V)	3,3	1,2	3,3	5	1,8
V_{OUT} (V)	3,1	0,8	1,8	2,5	0,9
Dòng tiêu thụ khi không tải (μA)	36,1	14	100	66	86
$I_{L,max}$ (mA)	100	100	50	100	100
$I_{L,min}$ (μA)	0	0	0	10	10
Tụ điện trên chip	7 pF	6 pF	5pF	14pF	7pF
T_{edge} (μs)	0,1	0,22	N/A	0,4	0,1
T_R (μs)	< 9	3,2	21,85	0,7	< 0,5
PSRR (dB)	40@10kHz	33@10kHz 2.5@10MHz	N/A	41@10kHz 2@2MHz	58,5@1kHz 5,8@10MHz

T_{edge} : thời gian chuyển tải từ thấp lên cao hoặc từ cao xuống thấp

5. KẾT LUẬN

Bài báo này trình bày về kỹ thuật bù ổn định cho mạch LDO không sử dụng tụ điện ngoài chip ứng dụng cho các hệ thống tích hợp hoàn toàn trên một chip. Kỹ thuật bù ổn định kết hợp giữa phương pháp bù sử dụng tụ Miller và phương pháp bù sử dụng tụ bù kết hợp với điện trở phản hồi được đề xuất. Cùng với đó, phân tích chi tiết về các phương pháp bù cũng được giới thiệu. Mạch OCL-LDO đề xuất đạt được thời gian khôi phục điện áp đầu ra trong điều kiện chuyển tải nhanh và chất lượng PSRR được cải thiện. Hướng phát triển tiếp theo của nghiên cứu và giảm khoảng thay đổi điện áp đầu ra khi chuyển tải và giảm công suất tiêu thụ của mạch. Đồng thời chế tạo chip để đạt được các kết quả đo.

TÀI LIỆU THAM KHẢO

- [1]. H. Eul, 2006. *ICs for mobile multimedia communications*. in Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, USA, pp. 21-39.
- [2]. H. Lee, P. K. T. Mok, K. N. Leung, 2005. *Design of low-power analog drivers based on slew-rate enhancement circuits for CMOS low-dropout regulators*. IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 52, no. 9, pp. 563–567.
- [3]. G. A. R. Mora, P. E. Allen, 1998. *A low-voltage, low quiescent current, low drop-out regulator*. IEEE J. Solid-State Circuits, vol. 33, no. 1, pp. 36–44.
- [4]. Q.H. Duong, J.W. Kong, H.S. Shin, H.H. Nguyen, P.J. Kim, Y. S. Ko, H. Y. Yu, H.-J. Park, 2016. *Multiple-loop design technique for high-performance low dropout regulator*. in Proc. IEEE Asian Solid-State Circuits Conf. (A-SSCC), Nov. 2016, pp. 217–220.
- [5]. C. Zhan, W.H. Ki, 2012. *An output-capacitor-free adaptively biased low-dropout regulator with subthreshold undershoot-reduction for SoC*. IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 59, no. 5, pp. 1119–1131.
- [6]. G. S. Kim, J. K. Park, G.H. Ko, D. Baek, 2019. *Capacitor-less low-dropout (LDO) regulator with 99.99% current efficiency using active feed-forward and reverse nested Miller compensations*. IEEE Access, vol. 7, pp. 98630–98638, 2019.
- [7]. E. Ho, P. Mok, 2010. *A Capacitor-Less CMOS Active Feedback Low-Dropout Regulator With Slew-Rate Enhancement for Portable On-Chip Application*. IEEE Trans. Circuits Syst. II: Express Briefs, vol. 57, no. 2, pp. 80-84, Feb. 2010.
- [8]. J. Guo, K. Leung, 2010. *A 6- W Chip-Area-Efficient Output-Capacitorless LDO in 90-nm CMOS Technology*. IEEE J. Solid-State Circuits, vol. 45, no. 9, pp. 1896-1905.
- [9]. G. Li, et al., 2019. *Dual Active-Feedback Frequency Compensation for Output-Capacitorless LDO with Transient and Stability Enhancement in 65-nm CMOS*. IEEE Transactions on Power Electronics, vol. 35, no. 1, pp. 415-429.
- [10]. F. Galicia, et al., 2019. *Comparison of Two Internal Miller Compensation Techniques for LDO Regulators*. in 16th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE), Mexico City, Mexico.
- [11]. K. Shin, D. Jee, D. Jeon, 2021. *A 65nm 0.6-1.2V Low-Dropout Regulator Using Voltage-Difference-to-Time Converter with Direct Output Feedback*. IEEE Trans. Circuits Syst. II: Express Briefs, vol. 68, no. 1, pp. 67-71.

[12]. X. Wang, F. Wang, Z. Li, 2010. *The Analysis of LDO and the Stability of Loop Compensation*. in International Conference on Electrical and Control Engineering.

[13]. N. Liu, D. Chen, 2020. *A Transient-Enhanced Output-Capacitorless LDO With Fast Local Loop and Overshoot Detection*. IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 67, no. 10, pp. 3422-3432.

[14]. J. Torres, et al., 2014. *Low Drop-Out Voltage Regulators: Capacitor-less Architecture Comparison*. IEEE Circuits and Systems Magazine, vol. 14, no. 2, pp.6-26.

[15]. A. Martin, 2002. *Cadence Design Environment*. New Mexico State University.

[16]. H. Gupta, et al., 2016. *A Capacitor-less Low Drop-out Voltage Regulator for SoC Applications*. in International Conference on Electrical, Electronics, and Optimization Techniques, 2016.

[17]. X. Ming, et al., 2022. *A Fast-Transient Capacitor-Less LDO With Dual Paths Active-Frequency Compensation Scheme*. IEEE Transactions on Power Electronics, vol. 37, no. 9, pp. 10332-10347, April. 2022.

AUTHORS INFORMATION

Dinh Thi Thuy Duong¹, Nguyen Trung²

¹Academy of Military Science and Technology

²Naval Technical Institute