

KHÁI QUÁT HÓA PHƯƠNG PHÁP ĐIỀU CHẾ VECTOR KHÔNG GIAN CHO BIẾN TẦN ĐA MỨC CẤU TRÚC CẦU H NỔ TẦNG

AGENERALIZED SPACE VECTOR MODULATION FOR CASCADED H-BRIDGE MULTI-LEVEL INVERTER

Nguyễn Thị Thanh Hòa¹, Hà Duy Thái¹,
Dương Anh Tuấn², Mai Văn Chung^{1,*}

TÓM TẮT

Hiện nay, kỹ thuật điều chế SVM đã được ứng dụng phổ biến trong các bộ biến đổi nghịch lưu đa mức do tận dụng điện áp DC tốt hơn (khi so sánh với SPWM), sóng hài thấp hơn, cung cấp nhiều hơn số lượng vector (so với nghịch lưu hai mức thông thường), từ đó cải thiện hơn nữa chất lượng bộ nghịch lưu DC-AC. Tuy nhiên, khi số mức của bộ nghịch lưu tăng lên, việc sử dụng phương pháp điều chế SVM sẽ gặp nhiều khó khăn. Khối lượng tính toán, độ phức tạp của thuật toán SVM trong việc có được thứ tự đóng cắt các vector thích hợp, dẫn đến khó khăn trong mô phỏng và thực nghiệm. Bài báo đưa ra thuật toán điều chế SVM tổng quát cho một mức bất kỳ đối với bộ nghịch lưu đa mức cầu H (CHB) với mục đích làm đơn giản hóa kỹ thuật điều chế SVM và giảm khối lượng tính toán, tăng khả năng ứng dụng của cấu trúc CHB trong thực tế. Thuật toán đã được mô phỏng trên phần mềm Matlab - Simulink và thực nghiệm với cấu trúc CHB 11 mức sử dụng thiết bị điều khiển FPGA đã cho thấy tính đúng đắn của thuật toán.

Từ khóa: Nghịch lưu đa mức (MLI); điều chế vector không gian (SVM); khái quát hóa điều chế SVM; cấu trúc cầu H nổi tầng (CHB); FPGA.

ABSTRACT

Nowadays, Space Vector Modulation (SVM) technique is widely used in multi-level converters with a variety of advantages: better utilization of DC bus in comparison with Sin PWM and the lower harmonics, providing more space vectors than the conventional two-level inverter. Consequently, we can enhance the quality of multi-level converters. However, as the number of required converter levels rise, the complexity and computation volume in the determination of optimized switching sequence will increase. As a result, we have some difficulties in implementing simulations and experiments. The paper provides a general SVM technique which generates any level with cascaded H-bridge (CHB) structure so as to not only simplify SVM techniques and reduce calculation volume but also create favorable conditions to apply more widely this structure in industries. The proposed method has been simulated in Matlab software and experimented with the 11-level CHB structure based on FPGA platform, indicating the accuracy of the given method.

Keywords: Multilevel Converter; Space Vector Modulation (SVM); A Generalized Space Vector Modulation for; Cascade H-Bridge; FPGA.

¹Trường Đại học Hùng Vương

²Trường Đại học Công nghiệp Hà Nội

*Email: maichung@hvu.com

Ngày nhận bài: 04/10/2021

Ngày nhận bài sửa sau phản biện: 08/12/2021

Ngày chấp nhận đăng: 27/12/2021

1. GIỚI THIỆU

Biến tần đa cấp đã được sử dụng rộng rãi trong các ứng dụng công nghiệp với dải điện áp cao, công suất lớn (ví dụ, hệ thống bơm nhà máy nước và quạt gió nhà máy xi măng) nhờ các ưu điểm của chúng so với biến tần hai cấp, như dạng sóng đầu ra bước có độ méo sóng hài thấp hơn, giảm điện áp đặt lên các linh kiện bán dẫn công suất, tốc độ thay đổi điện áp tức thời thấp hơn dv/dt. Hiện nay, biến tần đa mức có các dạng cấu trúc cơ bản: Cấu trúc diot kẹp (NPC) [1], tụ điện bay (FC) [2, 3], cầu H nổi tầng (CHB) [4, 5], và bộ chuyển đổi đa cấp mô-đun (MMC) [6 - 11].

Phương pháp điều chế vector không gian SVM có những ưu điểm ở khả năng linh hoạt hơn nhiều so với PWM dựa trên sóng mang. SVM có khả năng tạo ra quỹ đạo vector mong muốn có dạng bất kỳ nhờ lựa chọn các vector trạng thái và các thời gian phù hợp trong một chu kỳ điều chế. Nhờ các vector trạng thái dư các thuật toán cân bằng điện áp DC giữa các pha và giữa các tụ DC trên cùng một pha cũng có thể xây dựng được một cách thuận lợi. Yêu cầu tính toán cao được coi là nhược điểm chính của SVM, nhất là khi số lượng vector trạng thái tăng lên nhanh theo số mức [12]:

$$N_{\text{vectors}} = 1 + 6 \sum_{i=1}^{M-1} i \quad (1)$$

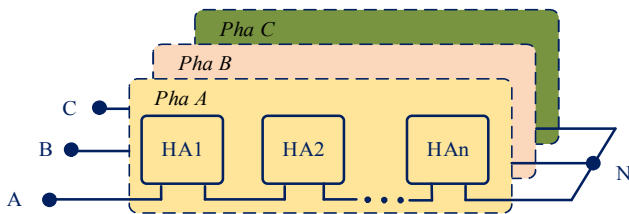
Các tính toán lý thuyết về các chỉ số đánh giá chất lượng quá trình điều chế SVM cho nghịch lưu đa mức đã được trình bày hệ thống trong [12]. Nhiều thuật toán được trình bày về tối ưu hóa quá trình chuyển mạch cho khóa bán dẫn và tối ưu về thành phần sóng hài dạng điện áp ra [13-16] chủ yếu cho nghịch lưu ba mức. Khả năng linh hoạt của SVM trong đảm bảo giảm thiểu ảnh hưởng của common mode trong các hệ biến tần dùng nghịch lưu đa mức được đề cập trong [14, 17, 18]. Với những ứng dụng tiềm năng của nghịch lưu cầu H nổi tầng, nhất là trong kết nối các nguồn phát phân tán từ pin nhiên liệu (fuel cells) hay pin mặt trời (Photovoltaic - PV), những nguồn phát DC bản chất đã cách ly, thì SVM có thể mang lại những lợi ích tích cực nhờ tính linh hoạt của nó.

Việc thực hiện các chương trình SVPWM cho biến tần nhiều mức yêu cầu tính toán phức tạp hoặc yêu cầu bảng tra cứu uy tín hoặc tính toán lặp thời gian. Thuật toán SVPWM đề xuất trong [20] để tính thời gian ở và chuyển đổi trạng thái dựa trên hệ tọa độ 60° . Tuy nhiên, chuyển đổi giữa hệ tọa độ 60° và hệ tọa độ gốc Cartesian trong [20] yêu cầu phức tạp tính toán hàm lượng giác. Thuật toán SVPWM đề xuất trong [21], trong đó tính toán lặp lại tổn thời gian để xác định một tập hợp các hình lục giác lồng nhau, chuyển đổi cần thiết để tính toán vector còn lại và trạng thái chuyển mạch. Thời gian tính toán của các phép tính lặp tăng đáng kể khi số cấp tăng. Do đó, lược đồ SVPWM đó không phù hợp với thời gian thực thực hiện cho biến tần cấp cao. Trong [22] trình bày một phương pháp để nhanh chóng tính toán các chu kỳ nhiệm vụ cho biến tần nhiều mức. Tuy nhiên, sử dụng bảng tra cứu để xác định trình tự chuyển đổi. Kích thước của bảng tra cứu tăng lên khi số mức nghịch lưu tăng lên. Hơn nữa, phương pháp xác định trạng thái chuyển đổi rất khó để khái quát hóa cho phương pháp điều chế.

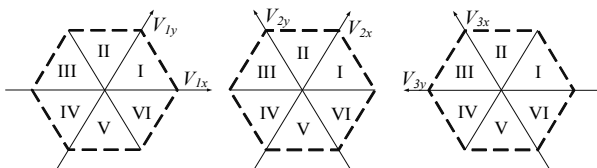
2. XÂY DỰNG THUẬT TOÁN ĐIỀU CHẾ VECTOR KHÔNG GIAN CHO NGHỊCH LƯU ĐA CẤP CẦU H NỐI TẮNG

2.1. Cấu trúc nghịch lưu đa mức cấu trúc cầu H nối tầng và hệ tọa độ

Nghịch lưu đa mức cấu trúc cầu H nối tầng được xây dựng bằng các cầu H đơn mắc nối tiếp ở mỗi pha, nguồn DC cấp cho mỗi cầu H đơn này là độc lập nhau thể hiện như hình 1.



Hình 1. Cấu trúc cơ bản CHB - MLI



Hình 2. Ba hệ tọa độ không vuông góc tạo nên các góc phần sáu (các sector)

Số mức được xác định như biểu thức (2):

$$M = 2H + 1 \quad (2)$$

Trong đó:

M: số mức; H: số cầu H đơn mắc nối tiếp trên một pha.

Hệ thống điện áp ba pha có thể được biểu diễn bởi vector điện áp:

$$\vec{v}^* = \frac{2}{3} (u_{AZ}^* + a u_{BZ}^* + a^2 u_{CZ}^*) \quad (3)$$

Biểu diễn vector điện áp trên hệ tọa độ $0\alpha\beta$:

$$\mathbf{v} = v_\alpha + j.v_\beta \quad (4)$$

Trong đó:

$$\begin{cases} v_\alpha = v_A \\ v_\beta = \frac{1}{\sqrt{3}}(v_B - v_C) \end{cases} \quad (5)$$

Với sơ đồ đa mức số lượng các tam giác con trên mặt phẳng vector sẽ tăng lên nhanh chóng khi số mức N tăng lên. Việc tính toán sẽ trở nên đơn giản hơn nếu sử dụng tính đối xứng của hệ thống vector không gian trong mỗi góc phần sáu. Thể hiện trên mặt phẳng vector ba hệ tọa độ góc phần sáu $(Z_{1x}, Z_{1y}), (Z_{2x}, Z_{2y}), (Z_{3x}, Z_{3y})$, như trên hình 2, trong đó (Z_{1x}, Z_{1y}) đã sử dụng ở trên như hệ tọa độ $0gh$, sẽ giúp phân biệt được ngay các góc phần sáu 1, 2, ..., 6. Trước hết ta sẽ cần xác định hình chiếu của vector điện áp ra mong muốn $\mathbf{v}_r = [v_{ra}, v_{r\beta}]^T$ lên hai vector biên của góc phần sáu bằng phép chiếu các tọa độ α, β lên hệ tọa độ tương ứng Z_1, Z_2, Z_3 . Điều này có thể thực hiện với các ma trận biến đổi hệ tọa độ M_1, M_2, M_3 như sau:

$$M_1 = \begin{bmatrix} 1 & -\frac{1}{\sqrt{3}} \\ 0 & \frac{2}{\sqrt{3}} \end{bmatrix}; M_2 = \begin{bmatrix} 1 & \frac{1}{\sqrt{3}} \\ -1 & \frac{1}{\sqrt{3}} \end{bmatrix}; M_3 = \begin{bmatrix} 0 & \frac{2}{\sqrt{3}} \\ -1 & -\frac{1}{\sqrt{3}} \end{bmatrix} \quad (6)$$

$$\text{Hay } \begin{cases} z_{1x} = v_\alpha - \frac{1}{\sqrt{3}}v_\beta \\ z_{1y} = \frac{2}{\sqrt{3}}v_\beta \end{cases}; \begin{cases} z_{2x} = v_\alpha + \frac{1}{\sqrt{3}}v_\beta \\ z_{2y} = -v_\alpha + \frac{1}{\sqrt{3}}v_\beta \end{cases}$$

$$\begin{cases} z_{3x} = \frac{2}{\sqrt{3}}v_\beta \\ z_{3y} = -v_\alpha - \frac{1}{\sqrt{3}}v_\beta \end{cases} \quad (7)$$

2.2. Xác định tam giác điều chế

Biểu đồ vector không gian có thể được chia thành sáu cung, như trong hình 1. Góc của mỗi cung là $\pi/3$, bắt đầu từ trục A. Chiều dài của mỗi cạnh của một tam giác nhỏ trong sơ đồ được giả định là thống nhất. Đối với bất kỳ vector tham chiếu nào có 3 trục tọa độ như trên, số ngành S ($S = 1, 2, \dots, 6$) có thể được xác định bằng bảng 1.

Bảng 1. Xác định sector điều chế

$z_{1x}z_{1y} < 0$		$z_{1x}z_{1y} \geq 0$			
$z_{2x}z_{2y} < 0$		$z_{2x}z_{2y} \geq 0$		$z_{1x} < 0$	$z_{1x} \geq 0$
$z_{3x} < 0$	$z_{3x} \geq 0$	$z_{2x} < 0$	$z_{2x} \geq 0$		
Sec III	Sec VI	Sec V	Sec II	Sec IV	Sec I

Xét trong miền sector 1 như trong hình 3.

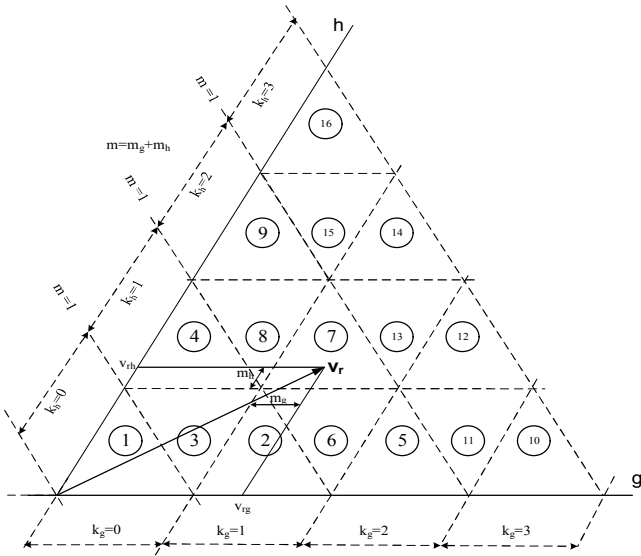
Tọa độ V_{ref} trên trục 60° :

$$\begin{bmatrix} v_{rg} \\ v_{rh} \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{\sqrt{3}} \\ 0 & \frac{2}{\sqrt{3}} \end{bmatrix} \cdot \begin{bmatrix} v_{ra} \\ v_{r\beta} \end{bmatrix} \quad (8)$$

Gọi m_g, m_h là các phần thập phân ngoài phần nguyên của các tọa độ v_{rg}, v_{rh} tương ứng:

$$\begin{cases} m_g = v_{rg} - \lfloor v_{rg} \rfloor = v_{rg} - k_g \\ m_h = v_{rh} - \lfloor v_{rh} \rfloor = v_{rh} - k_h \end{cases} \quad (9)$$

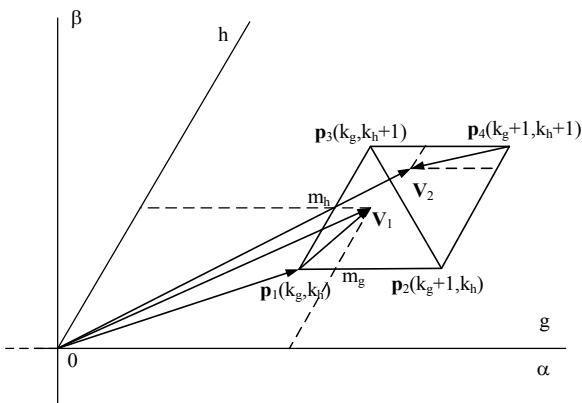
trong đó, $k_g = \lfloor v_{rg} \rfloor, k_h = \lfloor v_{rh} \rfloor$ chỉ số nguyên nhỏ nhất của các giá trị tuyệt đối tương ứng.



Hình 3. Đồ thị minh họa quá trình tính toán các hệ số điều chế

Trên hình 3 cho thấy hai vector V_1, V_2 đều có chung tọa độ nguyên $[k_g, k_h]$. Có thể thấy rằng đường thẳng $m_g + m_h = 1$ chia hình thoi trên hình 5 ra làm hai tam giác, trong đó vector V_1 thuộc miền $m_g + m_h \leq 1$ và vector V_2 thuộc miền $m_g + m_h > 1$.

2.3. Tìm thời gian điều chế



Hình 4. Tổng hợp vector điện áp ra từ ba vector đỉnh của tam giác

Vector V_1 có thể tổng hợp từ 3 vector p_1, p_2, p_3 như sau:

$$\begin{aligned} V_1 &= p_1 + m_g(p_2 - p_1) + m_h(p_3 - p_1) \\ &= (1 - m_g - m_h)p_1 + m_g p_2 + m_h p_3 \end{aligned} \quad (10)$$

Vector V_2 có thể tổng hợp từ 3 vector p_2, p_3, p_4 như sau:

$$\begin{aligned} V_2 &= p_4 + (1 - m_g)(p_3 - p_4) + (1 - m_h)(p_2 - p_4) \\ &= (m_g + m_h - 1)p_4 + (1 - m_g)p_3 + (1 - m_h)p_2 \end{aligned} \quad (11)$$

Có thể thấy các hệ số ứng với các vector đều dương và có tổng bằng 1 nên đó có thể là các hệ số cho quá trình điều chế.

2.4. Tìm trạng thái đóng cắt

Xét trong sector 1, từ 4 và 6 ta có:

$$\begin{cases} z_{1x} = \frac{2}{3}(v_A - v_B) \\ z_{1y} = \frac{2}{3}(v_B - v_C) \end{cases} \quad (12)$$

$$\begin{aligned} v_A - v_B &= v_{AN} - v_{BN} = V_{dc}(k_A - k_B); \\ v_B - v_C &= V_{dc}(k_B - k_C) \end{aligned} \quad (13)$$

$$\Rightarrow \begin{cases} z_{1x} = \frac{2}{3}V_{dc}(k_A - k_B) \\ z_{1y} = \frac{2}{3}V_{dc}(k_B - k_C) \end{cases} \quad (14)$$

Nếu lấy $2/3U_{DC}$ là độ dài cơ sở của các vector trạng thái, k_A, k_B, k_C là các số nguyên thì tọa độ của các vector là các số nguyên:

$$\begin{bmatrix} k_{1x} \\ k_{1y} \end{bmatrix} = \begin{bmatrix} (k_A - k_B) \\ (k_B - k_C) \end{bmatrix} \quad (15)$$

Nếu lấy tọa độ $k_A = k$, trong đó k phải thỏa mãn điều kiện $-\frac{M-1}{2} \leq k \leq \frac{M-1}{2}$ sẽ thu được trên hệ tọa độ (a, b, c) tọa độ vector trạng thái sẽ là:

$$\begin{bmatrix} k_{1x} \\ k_{1y} \end{bmatrix} \approx \begin{bmatrix} k_{AN} \\ k_{BN} \\ k_{CN} \end{bmatrix} = \begin{bmatrix} k \\ k - k_{1x} \\ k - k_{1x} - k_{1y} \end{bmatrix} \quad (16)$$

Như vậy (16) là các biểu thức để chuyển tọa độ các vector trạng thái từ $[k_{ix}, k_{iy}]$, với $i = 1, 2, 3$, sang hệ tọa độ (a, b, c) . Sector IV, V, VI đối xứng lần lượt với sector I, II, III nên ta cũng dễ dàng tìm được mối liên hệ giữa $[k_A, k_B, k_C]$ và $[k_{ix}, k_{iy}]$ trên các sector đó.

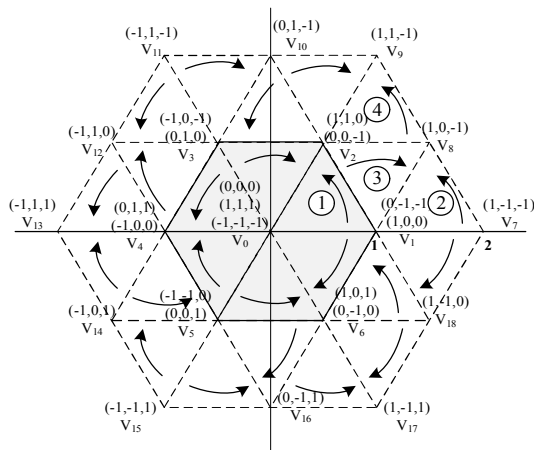
2.5. Thứ tự chuyển mạch tối ưu và điều chế bằng ba vector gần nhất

Đối với điều chế SVM cho nghịch lưu đa mức biện pháp tương tự đảm bảo tối ưu về thành phần sóng hài cũng có thể thực hiện được. Tuy nhiên ở nghịch lưu đa mức sẽ không thể luôn có vector không để sắp xếp các tín hiệu. Thay vào đó nếu sử dụng phương pháp điều chế bằng ba vector gần nhất (nearest vectors) trong mỗi nửa chu kỳ điều chế một vector sẽ được sử dụng như vector không, nghĩa là thời gian dùng vector này chia là hai nửa bằng nhau, chia đều cho đầu nửa chu kỳ T_s và cuối nửa chu kỳ T_s .

Để áp dụng tương tự như nghịch lưu hai mức cho sơ đồ nhiều mức có thể hình dung vector không gian của nghịch lưu đa mức cũng gồm nhiều lục giác nhỏ như của sơ đồ hai mức và vector ở tâm của lục giác nhỏ này đóng vai trò như vector không. Thứ tự chuyển mạch của tam giác 1 sẽ chọn

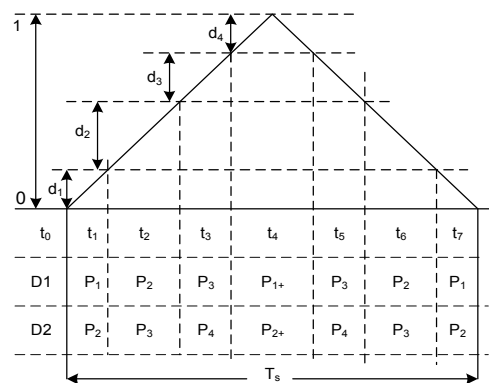
theo chiều kim đồng hồ, tam giác 2 sẽ chọn theo chiều ngược kim đồng hồ.

Ví dụ, ở tam giác số 1 là loại tam giác 1, thứ tự chuyển mạch trong nửa chu kì sẽ là $V_0-V_1-V_2-V_0$, nửa chu kì còn lại sẽ thực hiện theo thứ tự ngược lại. Ở tam giác ba là loại tam giác 2, thứ tự chuyển mạch trong nửa chu kì sẽ là $V_1-V_2-V_8-V_1$, nửa chu kì còn lại sẽ thực hiện theo thứ tự ngược lại; trong đó, vector V_1 sẽ đóng vai trò như vector không "ảo" như trong hình 5.

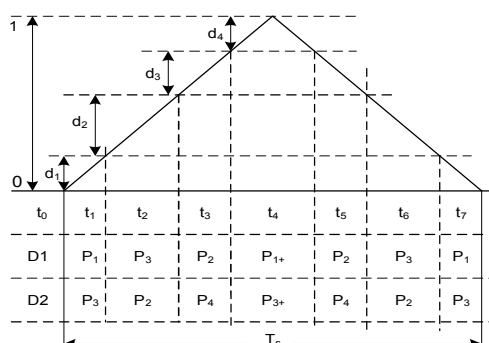


Hình 5. Trật tự chuyển mạch tối ưu cho nghịch lưu ba pha 3 mức

Xét trường hợp các vector điện áp ra mong muốn có cùng tọa độ nguyên k_g, k_n là V_1 và V_2 (cùng thuộc hình bình hành chứa D_1, D_2). Trong góc phần sáu thứ nhất, có thể thấy rằng khi vector điện áp nằm trong tam giác D_1 với ba vector P_1, P_2, P_3 thì thứ tự chuyển mạch tối ưu sẽ là $P_1-P_2-P_3-P_{1+}$, trong đó vector P_1 ở đầu chu kì điều chế có tọa độ (k_A, k_B, k_C) thì cuối nửa chu kì điều chế phải có tọa độ $(k_{A+1}, k_{B+1}, k_{C+1})$, ký hiệu là P_{1+} .



Hình 6. Mẫu xung điều chế tam giác loại 1 góc I, III, V



Hình 7. Mẫu xung điều chế tam giác loại 1 góc II, IV, VI

Với vector V_2 nằm trong tam giác D_2 , thứ tự chuyển mạch tối ưu sẽ là $P_2-P_3-P_4-P_{2+}$.

Mẫu xung điều chế SVM cho sector I, III, V của tam giác loại D_1 và D_2 như trong hình 6, cho sector II, IV, VI của tam giác loại D_1 và D_2 như trong hình 7; Tổng hợp xác định mức trạng thái trên các pha của cả sáu sector thể hiện như bảng

Bảng 2. Cách xác định mức trên các pha và lựa chọn k trong các sector $k_{is}=k_{ix}+k_{iy}$ ($i=1 \div 6$)

Triangle type	State vector	Sector					
		I	II	III	IV	V	VI
	$\begin{bmatrix} k_x \\ k_y \end{bmatrix}$	$\begin{bmatrix} (k_A - k_B) \\ (k_B - k_C) \end{bmatrix}$	$\begin{bmatrix} (k_A - k_C) \\ (k_B - k_A) \end{bmatrix}$	$\begin{bmatrix} (k_B - k_C) \\ (k_C - k_A) \end{bmatrix}$	$\begin{bmatrix} (k_B - k_A) \\ (k_C - k_B) \end{bmatrix}$	$\begin{bmatrix} (k_C - k_A) \\ (k_A - k_B) \end{bmatrix}$	$\begin{bmatrix} (k_C - k_B) \\ (k_A - k_C) \end{bmatrix}$
D_1	$\begin{bmatrix} k_A \\ k_B \\ k_C \end{bmatrix}$	$\begin{bmatrix} k \\ k - k_{1x} \\ k - k_{1y} \end{bmatrix}$	$\begin{bmatrix} k - k_{2y} \\ k \\ k - k_{2x} \end{bmatrix}$	$\begin{bmatrix} k - k_{3x} \\ k \\ k - k_{3y} \end{bmatrix}$	$\begin{bmatrix} k - k_{4x} \\ k - k_{4y} \\ k \end{bmatrix}$	$\begin{bmatrix} k - k_{5x} \\ k - k_{5y} \\ k \end{bmatrix}$	$\begin{bmatrix} k \\ k - k_{6x} \\ k - k_{6y} \end{bmatrix}$
	$\begin{bmatrix} d_A \\ d_B \\ d_C \end{bmatrix}$	$\begin{bmatrix} d_1 \\ d_1 + d_2 \\ d_1 + d_2 + d_3 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 \\ d_1 \\ d_1 + d_2 + d_3 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 + d_3 \\ d_1 + d_2 \\ d_1 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 + d_3 \\ d_1 + d_2 \\ d_1 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 \\ d_1 + d_2 + d_3 \\ d_1 \end{bmatrix}$	$\begin{bmatrix} d_1 \\ d_1 + d_2 + d_3 \\ d_1 + d_2 \end{bmatrix}$
D_2	$\begin{bmatrix} k_A \\ k_B \\ k_C \end{bmatrix}$	$\begin{bmatrix} k + 1 \\ k - k_{1x} \\ k - k_{1y} \end{bmatrix}$	$\begin{bmatrix} k - k_{2y} \\ k + 1 \\ k - k_{2x} \end{bmatrix}$	$\begin{bmatrix} k - k_{3x} \\ k + 1 \\ k - k_{3y} \end{bmatrix}$	$\begin{bmatrix} k - k_{4x} \\ k - k_{4y} \\ k + 1 \end{bmatrix}$	$\begin{bmatrix} k - k_{5x} \\ k - k_{5y} \\ k + 1 \end{bmatrix}$	$\begin{bmatrix} k + 1 \\ k - k_{6x} \\ k - k_{6y} \end{bmatrix}$
	$\begin{bmatrix} d_A \\ d_B \\ d_C \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 \\ d_1 \\ d_1 + d_2 + d_3 \end{bmatrix}$	$\begin{bmatrix} d_1 \\ d_1 + d_2 \\ d_1 + d_2 + d_3 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 + d_3 \\ d_1 + d_2 \\ d_1 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 + d_3 \\ d_1 + d_2 \\ d_1 \end{bmatrix}$	$\begin{bmatrix} d_1 \\ d_1 + d_2 + d_3 \\ d_1 + d_2 \end{bmatrix}$	$\begin{bmatrix} d_1 + d_2 \\ d_1 + d_2 + d_3 \\ d_1 \end{bmatrix}$

2. Với bảng 2, có thể dễ dàng trong việc xây dựng điều chế vector không gian cho nghịch lưu đến mức bất kỳ trong điều kiện tối ưu chuyển mạch van bán dẫn. Như vậy, với thuật toán đề xuất khi muốn xây dựng điều chế đến mức bất kỳ, chỉ cần nhập vào là số mức.

3. KẾT QUẢ MÔ PHỎNG, THỰC NGHIỆM ĐIỀU CHẾ SVM TỔNG QUÁT

3.1. Thông số và kịch bản mô phỏng

Mô phỏng hệ thống trong thời gian 0,5s, trong mỗi khoảng 0,1s lượng đặt điện áp ra theo biên độ điện áp tương ứng là (2, 4, 6, 8, 10) $\times U_{dc} / \sqrt{2}$. Trên đồ thị vector không gian các vector được quy chuẩn theo điện áp $(2/3)U_{dc}$ nên lục giác có đỉnh độ dài bằng 1 tương ứng với nghịch lưu 2 mức, lục giác có đỉnh bằng 2 tương ứng với nghịch lưu 3 mức, bằng 4 ứng với nghịch lưu 5 mức, bằng 6 nghịch lưu 7 mức,..., và bằng 10 ứng với nghịch lưu 11 mức. Đường tròn nội tiếp với các lục giác thể hiện biên độ điện áp pha ra lớn nhất trong vùng điều chế tuyến tính. Bán kính đường tròn nội tiếp lục giác đỉnh là 1 là $\sqrt{3}/2$, tương ứng là biên độ điện áp pha. Biên độ điện áp dây sẽ là $3/2$, nhân với điện áp quy chuẩn $(2/3)U_{dc}$ chính là U_{dc} . Vì vậy lượng đặt điện áp dây theo giá trị hiệu dụng sẽ là $U_{dc} / \sqrt{2}$. Vì vậy các hệ số trong khoảng (2, 4, 6, 8, 10) sẽ cho ra dạng điện áp của sơ đồ nghịch lưu tương đương 3 mức, 5 mức, 7 mức, 9 mức, 11 mức. Bằng cách này sẽ kiểm tra hoạt động của sơ đồ điều chế trong toàn bộ dải làm việc.

Bảng 3. Thông số mô phỏng thuật toán SVM tổng quát

Giá trị điện áp DC mỗi cell	$V_{DC} = 620$
Tần số đóng cắt	$f = 1500\text{Hz}$
Chu kỳ trích mẫu	$T_{tm} = 5\mu\text{s}$
Tải	$R = 100\text{hm}$

3.2. Kết quả mô phỏng và nhận xét

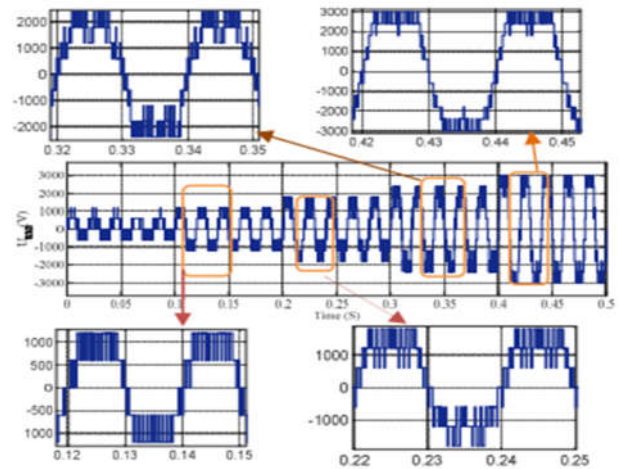
Hình 8 thể hiện dạng điện áp pha U_{AN} có dạng mức khác nhau, với các hệ số điều chế khác nhau cho điện áp ra có dạng 3 mức từ 0 - 0,1s, 5 mức từ 0,1 - 0,2s, 7 mức từ 0,3 - 0,4s, 9 mức từ 0,3 - 0,4s, 11 mức từ 0,4 - 0,5s đúng như tính toán lý thuyết của điều chế.

Hình 9 thể hiện dạng điện áp pha trên tải, thấy rằng điện áp ra trên tải có dạng hình sin với biên độ điện áp ra thay đổi tương ứng với số mức như tín hiệu đặt. Phân tích Fourier dạng sóng điện áp ra trong các khoảng điều chế với kết quả THD% được biểu diễn dưới dạng đồ thị như hình 10.

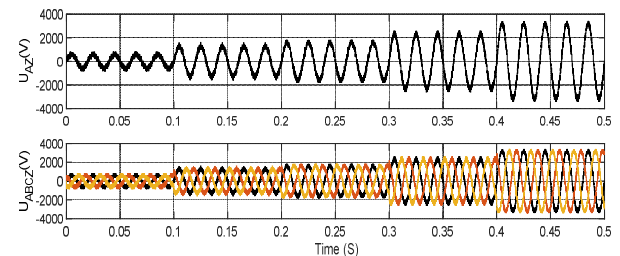
Hình 10 cho thấy, tổng hợp các mức sóng hài trong dải điều chế, có thể thấy THD có xu hướng giảm tuyến tính khi số mức điện áp tăng lên, cụ thể TDH giảm từ 8,64% xuống 1,36% khi số mức tăng từ 3 mức lên 19 mức.

Hình 9 thể hiện dạng điện áp dây đầu ra của bộ biến đổi, có thể thấy rằng điện áp ra càng tiến đến dạng hình sin khi số mức của điện áp tăng lên. Tần số đóng cắt của van bán dẫn giảm đi do áp dụng thuật toán tối ưu chuyển mạch của van bán dẫn. Xung điều khiển cầu HA1 của phương pháp SVM với thuật toán tối ưu đóng cắt và thuật

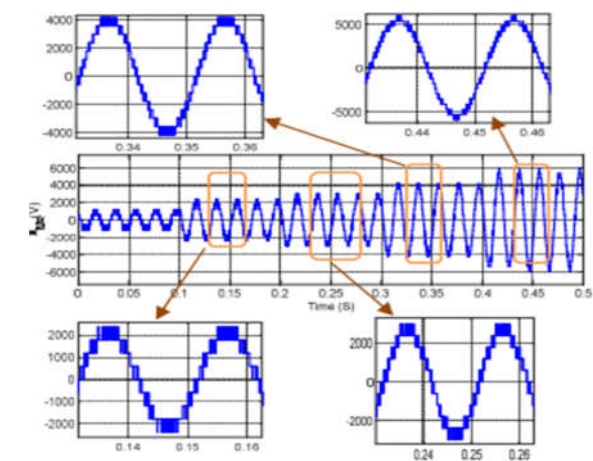
toán sin PWM dịch pha thể hiện như Hình 12 và 13. Quan sát kết quả mô phỏng cho thấy, phương pháp điều chế SVM với thuật toán tối ưu.



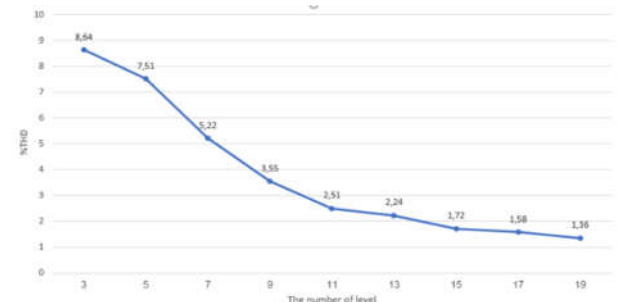
Hình 8. Hình ảnh dạng điện áp trên pha A của biến tần



Hình 9. Hình ảnh dạng điện áp trên tải

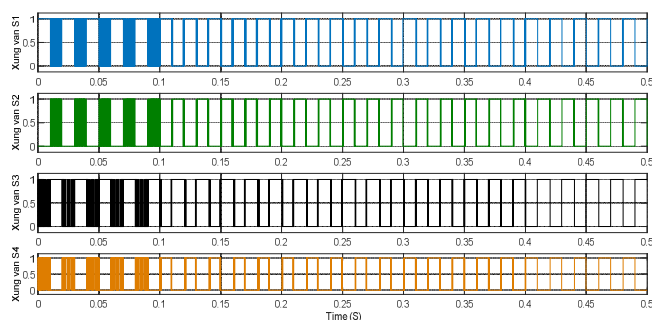


Hình 10. Hình ảnh dạng điện áp trên dây của biến tần

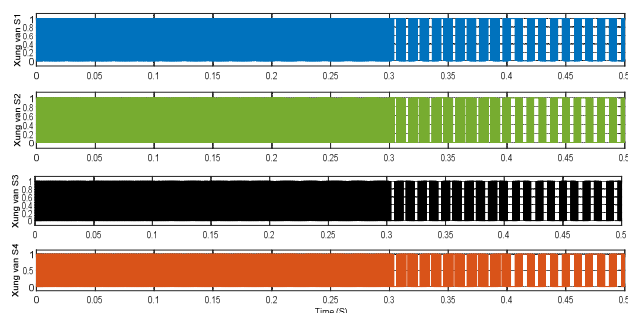


Hình 11. Đồ thị đánh giá THD của điện áp trên tải pha A

Từ kết quả đã phân tích ở trên có thể nhận xét: điều chế vector SVM cho thấy ưu điểm ở khả năng linh hoạt hơn nhiều so với PWM dựa trên sóng mang. SVM có khả năng tạo ra quỹ đạo mong muốn có dạng bất kỳ nhờ lựa chọn các vector trạng thái và các thời gian phù hợp trong một chu kỳ điều chế. Với thuật toán SVM tối ưu đóng cắt đưa ra ở nghiên cứu này, số lần đóng cắt van được giảm thiểu so với phương pháp Sin PWM, giảm thiểu được tổn hao đóng cắt, nhất là đối với ứng dụng công suất lớn. Bên cạnh đó, thuật toán SVM cũng được khái quát hóa cho mức bất kỳ làm cho việc tính toán, thiết kế SVM trở nên đơn giản và dễ dàng.

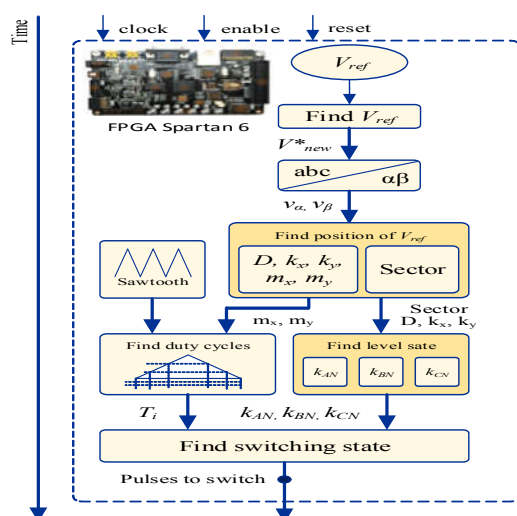


Hình 12. Xung điều khiển đến các nhánh cầu HA1 (thuật toán SVM)



Hình 13. Tín hiệu điều khiển đến các nhánh van (thuật toán Sin PWM dịch pha α)

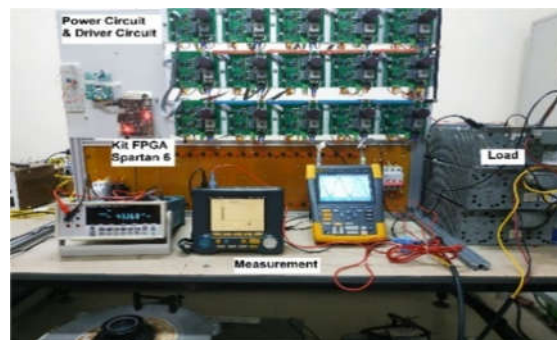
3.3. Thục nghiệm



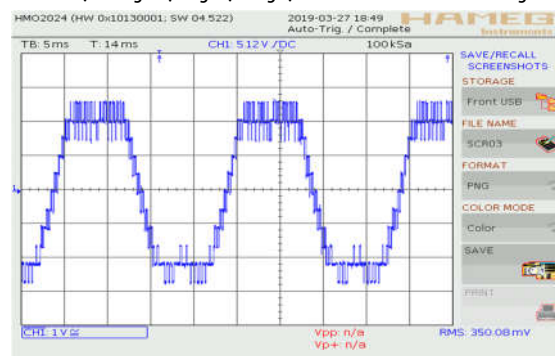
Hình 14. Lưu đồ thuật toán triển khai điều chế SVM tổng quát trên FPGA

Thực nghiệm hệ thống nghịch lưu trên với điện áp $U_{dc} = 60VDC$ cấp cho mỗi cầu H, tải thuần trở có giá trị

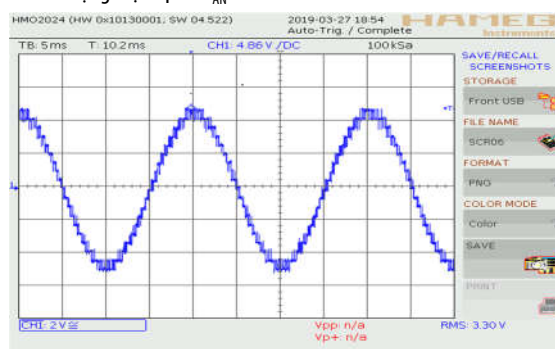
1440 Ω cho mỗi pha. Dạng điện áp đặt có tần số $f = 50Hz$, tần số răng cưa điều chế $f_{rc} = 1500Hz$, hệ số điều chế $m = 0,9$, thuật toán được triển khai với thiết bị điều khiển là FPGA thể hiện như hình 14.



Hình 15. Hệ thống thực nghiệm nghịch lưu 11 mức cầu H nổi tầng

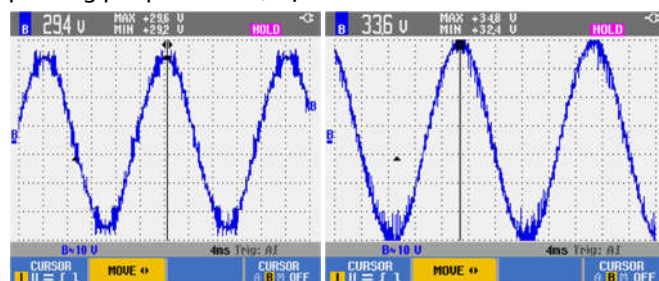


Hình 16. Dạng điện áp ra U_{AN}



Hình 17. Dạng điện áp dây U_{AB}

Hình 18 dạng sóng điện áp ra trên tải, điều chế với phương pháp sin PWM, hệ số điều chế 98%.



Hình 18. Dạng sóng điện áp ra trên tải, điều chế với phương pháp SVM, hệ số điều chế 98%

Mô hình thực nghiệm xây dựng thể hiện như hình 14. Kết quả triển khai thuật toán trên mô hình thực nghiệm có

dạng điện áp pha như hình 15. Từ hình 15 thấy rằng, điện áp có dạng 11 mức đúng yêu cầu thuật toán đặt ra và đồng dạng với mô phỏng. Hình 16 thể hiện điện áp dây đầu ra của nghịch lưu. Từ hình 17 và 18 thấy rằng: Với cùng điện áp một chiều đầu vào, cùng hệ số điều chế nhưng SVM cho ra điện áp xoay chiều lớn hơn sin PWM, tỷ lệ biên độ là $k = 336/294 = 1,14$ lần

4. KẾT LUẬN

Bài báo này đã đề xuất một phương pháp khái quát hóa cho điều chế SVPWM. So với các phương pháp khái quát hóa điều chế SVPWM hiện có, phương pháp điều chế SVPWM được đề xuất có các ưu điểm sau: Thứ nhất, nó cực kỳ hiệu quả về mặt tính toán vì không cần bảng tra cứu hoặc tính toán lặp lại tốn thời gian; chu kỳ nhiệm vụ và trạng thái chuyển đổi được thu thập dựa trên điều chế tam giác xác định nhanh chóng thông qua các phép biến đổi tọa độ đơn giản. Thứ hai, thời gian tính toán của nó không tăng khi mức tăng. Thứ ba, tối ưu về trạng thái đóng cắt của van bán dẫn. Cuối cùng, phương pháp điều chế SVPWM được đề xuất có thể dễ dàng phát triển cho các bộ biến đổi đa cấp NPC, FC và MMC vì chúng có cùng sơ đồ vectơ không gian. Thuật toán được triển khai bằng mô phỏng và thực nghiệm để thể hiện tính đúng đắn.

TÀI LIỆU THAM KHẢO

- [1]. Nabae, I. Takahashi, H. Akagi, 1981. *A new neutral-point clamped PWM inverter*. IEEE Trans. Ind. Appl., vol. IA-17, pp. 518–523.
- [2]. T. A. Meynard, H. Foch, 1992. *Multi-level choppers for high voltage applications*. Eur. Power Electron. Drives J., vol. 2, no. 1, p. 41.
- [3]. T. A. Meynard, H. Foch, P. Thomas, J. Courault, R. Jakob, M. Nahrstaedt, 2002. *Multicell converters: Basic concepts and industry applications*. IEEE Trans. Ind. Electron., vol. 49, no. 5, pp. 955–964.
- [4]. J. S. Lai, F. Z. Peng, 1996. *Multilevel converters—A new breed of power converters*. IEEE Trans. Ind. Appl., vol. 32, pp. 509–517.
- [5]. F. Z. Peng, J. W. McKeever, D. J. Adams, 1998. *A power line conditioner using cascade multi-level inverters for distribution systems*. IEEE Trans. Ind. Appl., vol. 34, no. 6, pp. 1293–1298.
- [6]. R. Marquardt, A. Lesnicar, 2003. *A new modular voltage source inverter topology*. in Proc. Eur. Power Electron. Conf., pp. 2–4.
- [7]. M. Glinka, 2004. *Prototype of multiphase modular-multilevel-converter with 2 MW power rating and 17-level-output-voltage*. in Proc. IEEE 35th Power Electron. Spec. Conf., vol. 4, pp. 2572–2576.
- [8]. B. Gemmell, J. Dorn, D. Retzmann, D. Soerangr, 2008. *Prospects of multilevel VSC technologies for power transmission*. in Proc. IEEE/PES Transmission and Distribution Conference and Exposition, pp. 1–16.
- [9]. M. Hagiwara, H. Akagi, 2009. *Control and experiment of pulse width modulated modular multilevel converters*. IEEE Trans. Power Electron., vol. 24, no. 7, pp. 1737–1746.
- [10]. M. Hagiwara, H. Akagi, 2009. *Control and experiment of pulse width modulated modular multilevel converters*. IEEE Trans. Power Electron., vol. 24, no. 7, pp. 1737–1746.

- [11]. B. Xiao, L. Hang, J. Mei, C. Riley, L. M. Tolbert, B. Ozpineci, 2015. *Modular cascaded H-bridge multilevel PV inverter with distributed MPPT for grid-connected applications*. IEEE Trans. Ind. Appl., vol. 21, no. 2, pp. 1722–1731.
- [12]. D. Grahame Holmes, Thomas A. Lipo, 2003. *Pulse Width Modulation for Power Converters*. WILEY, pp 531–554.
- [13]. Brendan Peter McGrath, Donald Grahame Holmes, Thomas Lipo, 2003. *Optimized Space Vector Switching Sequences for Multilevel Inverters*. IEEE Trans. on Power Electronics, Vol. 18, No. 6.
- [14]. Markus Hölting, Ingo Staudt, Jens Onno Krah, 2012. *Efficient Space Vector PWM Scheme for Multi-Level Inverters*. PCIM Europa 2012, Nuremberg.
- [15]. Thomas Brückner, Donald Grahame Holmes, 2005. *Optimal Pulse-Width Modulation for Three-Level Inverters*. IEEE Trans. on Power Electronics, Vol. 20, No. 1.
- [16]. B. Urmila, D. Subba Rayudu, 2011. *Optimum Space Vector PWM Algorithm for Three-level Inverter*. ARPN Journal of Engineering and Applied Sciences, Vol. 6, No. 9.
- [17]. Fei Wang, 2000. *Motor Shaft Voltages and Bearing Currents and Their Reduction in Multilevel Medium-Voltage PWM Voltage-Source-Inverter Drive Applications*. IEEE Trans. on Ind. Appl., Vol. 36, No. 5.
- [18]. Amit Kumar Gupta, Ashwin M. Khambadkone, 2007. *A Space Vector Modulation Scheme to Reduce Common Mode Voltage for Cascaded Multilevel Inverters*. IEEE Trans. on Power Electronics, Vol. 22, No. 5.
- [19]. *Startup And Advanced Topics Manual For GENIII And GENIII/E Series Adjustable Speed AC Motor Drives With Next Generation Control*. Manual Number: A1A19000404A, version 1.4, June 2009, www.siemens.com; Chapter 6, pp. 6-1 ... 6-18.
- [20]. S. Wei, B. Wu, F. Li, C. Liu, 2003. *A general space vector PWM control algorithm for multilevel inverters*. in Proc. 18th Annu. IEEE Applied Power Electronics Conference and Exposition, vol. 1, pp. 562–568.
- [21]. Y. Deng, K. H. Teo, C. Duan, T. G. Habetler, R. G. Harley, 2014. *A fast and generalized space vector modulation scheme for multilevel inverters*. IEEE Trans. Power Electron., vol. 29, no. 10, pp. 5204–5217.
- [22]. A. K. Gupta, A. M. Khambadkone, 2006. *A space vector PWM scheme for multilevel inverters based on two-level space vector PWM*. IEEE Trans. Ind. Electron., vol. 53, no. 5, pp. 1631–1639.

AUTHORS INFORMATION

Nguyen Thi Thanh Hoa, Ha Duy Thai, Duong Anh Tuan, Mai Van Chung

¹Hung Vuong University

²Hanoi University of Industry