

# THIẾT KẾ BỘ LỌC CIC VÀ FIR CHO MODUL THU VÔ TUYẾN SDR SỬ DỤNG CÔNG CỤ MATLAB SIMULINK VÀ SYSTEM GENERATOR

DESIGN CIC AND FIR FILTER FOR SDR WIRELESS RECEIVE MODUL USING SYSTEM GENERATOR AND MATLAB SIMULINK

Trần Đình Thông\*, Dư Đình Viên

## TÓM TẮT

Nhiều năm gần đây, cùng sự phát triển của kỹ thuật xử lý số tín hiệu, công nghệ số, sự phát triển mạnh mẽ về công nghệ bán dẫn đã đưa ra một giải pháp phương pháp thiết kế mới trong các hệ thống thông tin không dây nói chung và đặc biệt đối với việc thiết kế hệ thống thu radio. Việc khai thác kỹ thuật thiết kế hệ thống số và xử lý tín hiệu số đã dần thay thế hầu hết các phần cứng tương tự bằng việc cấu hình các hàm chức năng thu bằng phần mềm. Mục tiêu của bài báo trình bày nội dung lý thuyết và thiết kế bộ lọc CIC, FIR cho modul thu vô tuyến. Việc thiết kế và mô phỏng được thực hiện thông qua công cụ Matlab Simulink và Generator Xilinx. Kết quả nghiên cứu này được xem như nền tảng cơ sở ban đầu để phát triển liên quan đến thiết kế các hệ thống số khác sau này.

**Từ khóa:** Bộ lọc CIC và FIR; vô tuyến định nghĩa mềm; modul thu vô tuyến.

## ABSTRACT

In the recent decades, with the aid of digital signal processing technique, digital technology and the rapid development of semiconductor technologies a new design paradigm has been emerged as a dominant solution for wireless communication in general and especially for radio receiver design. In this design method, digital system design techniques and digital signal processing are exploited as much as possible, thus replacing almost analogue hardware by configuring receiver functions in software and firmware. The decimation filter design and simulation through programs MATLAB of Mathworks and the System Generator of Xilinx. The goal of this paper primarily proves the concepts and design solution for CIC and FIR in wireless receive modul, which can be considered as a starting point for further development and enhancement in the future work.

**Keywords:** CIC and FIR filter; SDR; wireless receiver modul.

Trường Đại học Công nghiệp Hà Nội

\*Email: thong77.hai@gmail.com

Ngày nhận bài: 04/01/2018

Ngày nhận bài sửa sau phản biện: 26/3/2018

Ngày chấp nhận đăng: 25/10/2018

## CHỮ VIẾT TẮT

SDR	Software Defined Radio
FPGA	Field Programmable Gate Array

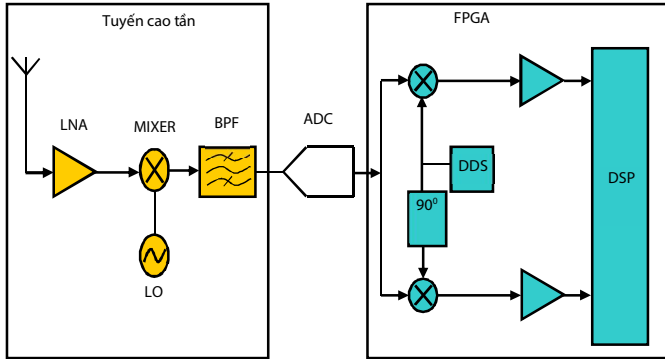
BPF	Band Pass Filter
LO	Local Oscillator
CIC	Cascade Integrator Comb
FIR	Finite Impulse Response
DSP	Digital Signal Processing
DDC	Digital Down Converter

## 1. GIỚI THIỆU

Kiến trúc và công nghệ chế tạo máy thông tin vô tuyến SDR [1, 4, 17] vẫn đang tiếp tục được nghiên cứu phát triển và ngày càng hoàn thiện, đáp ứng nhu cầu đa phương tiện, đa dạng hóa dịch vụ trong thông tin liên lạc. Máy thu vô tuyến theo kiến trúc siêu ngoại sai (Superheterodyne Receiver) truyền thống được phát minh bởi Armstrong từ năm 1924, đã được nghiên cứu phát triển liên tục hiện vẫn đang được sử dụng rộng rãi trong các lĩnh vực của đời sống xã hội. Các máy thông tin liên lạc truyền thống chủ yếu dựa trên kỹ thuật xử lý tín hiệu tương tự và công nghệ mạch rời trên toàn tuyến cả thu và phát. Công nghệ và kỹ thuật tương tự có nhiều hạn chế về khả năng đáp ứng nhu cầu trao đổi thông tin, chất lượng thiết bị bị ảnh hưởng lớn bởi điều kiện môi trường và sự già hóa linh kiện. Ngoài ra, công nghệ này cũng hạn chế về tính mềm dẻo, khả năng mở rộng, tính đồng nhất của sản phẩm. Cùng với sự phát triển của công nghệ vi điện tử, từ kiến trúc máy thu siêu ngoại sai truyền thống, hiện nay các nhà sản xuất đang đồng thời triển khai nghiên cứu phát triển công nghệ máy thu nhằm tăng tính năng, giảm kích thước trọng lượng và nguồn tiêu thụ, tăng độ tin cậy, giảm chi phí vận hành. Với sự phát triển công nghệ điện tử số cùng với sự hỗ trợ của các công cụ xử lý số tín hiệu, công nghệ thông tin, máy thông tin vô tuyến công nghệ mềm hay còn có cách gọi khác là máy thông tin vô tuyến định nghĩa bằng phần mềm SDR đã nhanh chóng được hiện thực hoá.

Về mặt cấu trúc sơ đồ khối chức năng tuyến thu vô tuyến được mô tả như hình 1. Trong tuyến thu thì Chip FPGA được lập trình để thực thi các chức năng tiếp theo

của tuyến thu nhằm đưa ra thông tin cần nhận. Cụ thể Chip FPGA sẽ thực hiện việc nhận chuỗi số liệu sau bộ biến đổi ADC, chuyển đổi tín hiệu về băng gốc và giải điều chế tín hiệu theo dạng mong muốn để đưa ra thông tin cần thu nhận. Tuyến cao tần có chức năng thu nhận tín hiệu RF từ anten biến khuếch đại, lọc và biến đổi tín hiệu cao tần RF xuống tín hiệu trung tần IF = 10,7 MHz với mức đủ lớn cung cấp cho bộ biến đổi tương tự - số ADC.



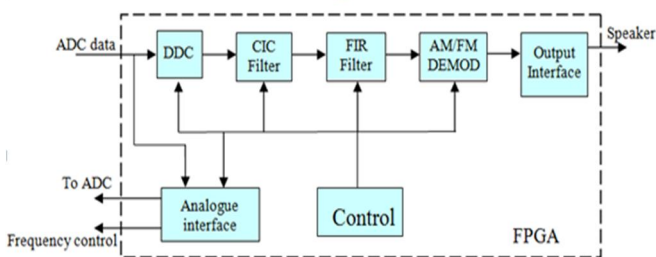
Hình 1. Sơ đồ khối chức năng tuyến thu

Việc lựa chọn thiết kế khối xử lý số tín hiệu được thực thi trên phần cứng FPGA có ý nghĩa quan trọng ảnh hưởng tới chất lượng đồng thời cho phép thực hiện các chức năng xử lý tín hiệu ở miền số một cách linh hoạt, mềm dẻo, độ tin cậy cao và ít phức tạp về cấu trúc phần cứng. Từ ý nghĩa khoa học, bài báo tập trung nghiên cứu việc thiết kế khối xử lý số tín hiệu bao gồm các khối liên quan đến bộ lọc CIC, FIR nhằm thực hiện chức năng thu nhận tín hiệu đối với máy thu vô tuyến SDR.

Phần còn lại của bài báo được tổ chức như sau: Mục 2 trình bày tổng quan kiến trúc của khối chức năng xử lý số tín hiệu của khối thu vô tuyến. Mục 3 tập trung trình bày cấu trúc cơ bản về lý thuyết, thiết kế bộ lọc CIC và FIR. Phần mô phỏng và đánh giá thực nghiệm được thể hiện thông qua mục 4. Mục 5 thể hiện nội dung kết luận và đề xuất hướng nghiên cứu khoa học tiếp theo.

**2. KIẾN TRÚC CHỨC NĂNG XỬ LÝ SỐ TÍN HIỆU CỦA KHỐI THU VÔ TUYẾN SDR**

Trong phần này thực hiện trình bày một cách tổng quan sơ đồ khối chức năng xử lý số tín hiệu của khối thu vô tuyến SDR như hình 2.



Hình 2. Sơ đồ khối chức năng xử lý số tín của khối thu vô tuyến SDR

Trong đó:

+ Khối trộn tần xuống DDC: Khối trộn thực hiện nhân tín hiệu băng gốc (tuyến phát) và tín hiệu IF = 10,7 MHz với

dao động nội số DDS để đưa tín hiệu thu về băng gốc để thực hiện giải điều chế.

+ Khối lọc giảm tốc tích phân răng lược CIC: Đây là các khối IQ\_CIC Decimation và CIC Interpolation đóng vai trò là các bộ lọc thông thấp sau tầng trộn tần giống như trong module RF Front-End nhằm lọc bỏ các thành phần tần số không mong muốn sau trộn tần. Ngoài ra các bộ lọc CIC còn đóng vai trò quan trọng trong các hệ thống số đa tốc độ (Multirate Digital System) cho phép giảm tốc độ luồng bit số liệu cho phù hợp với đặc tính tín hiệu trong tầng xử lý tiếp theo.

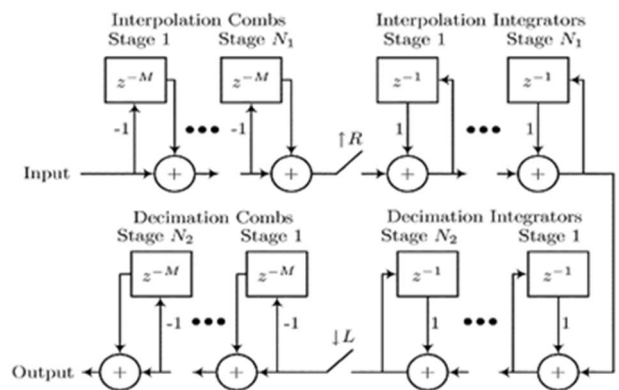
+ Bộ lọc giải thông FIR: Đây là các khối IQ\_FIR (tuyến thu) của khối xử lý số tín hiệu máy thông tin có chức năng lọc lấy tín hiệu trong băng tần có ích và loại bỏ nhiễu không mong muốn, tần số và băng thông được thiết kế phù hợp để xử lý tín hiệu tại trung tần đầu ra.

+ Khối điều chế và giải điều chế tín hiệu MOD/DEMOD: Là các khối cơ bản trong tuyến thu/phát máy thông tin có chức năng ngược nhau. Khối MOD có chức năng điều chế tín hiệu theo dạng mong muốn (AM, SSB, FM, FSK, PSK, QAM,...) được quyết định bởi đầu vào chọn dạng điều chế. Trong khi đó khối DEMOD có chức năng giải điều chế tín hiệu thu được. Khối MOD/DEMOD thực hiện ở miền số đảm bảo tính linh hoạt, mềm dẻo trong thiết kế và phát triển ứng dụng cho phép cấu hình lại, phát triển thêm chức năng mà không cần thay đổi nền phần cứng.

**3. CƠ SỞ LÝ THUYẾT BỘ LỌC CIC VÀ FIR**

**3.1. Bộ lọc CIC**

Trong các giải pháp đổi tốc để cập ở [13], chỉ có một số ít giải pháp có tính đến hiệu quả tính toán trong các hệ thống vô tuyến mềm. Các bộ lọc CIC trong [14, 15] thực hiện chức năng đổi tốc một cách hiệu quả do chỉ sử dụng các module cộng/trừ và thích nghi với các ứng dụng vô tuyến mềm. Hình 3 minh họa kiến trúc bộ lọc CIC có bậc  $N_1 + N_2$  được thiết kế để thực thi chức năng đổi tốc với hệ số R/L [11], trong đó  $N_1$  và  $N_2$  lần lượt là số tầng comb và integrator xếp chồng với nhau trong kiến trúc giảm tốc. Với trường hợp cố định, hiệu năng thực thi của các bộ lọc CIC có thể được cải tiến bằng cách thay đổi bậc bộ lọc để điều chỉnh khả năng triệt nhiễu ảnh và thay đổi độ trễ của các tầng Comb để điều chỉnh băng thông.



Hình 3. Bộ lọc CIC đổi tốc bậc  $N_1 + N_2$

Hàm truyền đạt của bộ lọc CIC trong kiến trúc giảm tốc với hệ số giảm tốc R/L bằng các bộ tích phân răng lược xếp chồng cho một tần số trung gian. Hàm truyền đạt của bộ lọc như sau [13]:

$$H_m(z) = \frac{(1 - Z^{-RM})^{N_1} (1 - Z^{-LM})^{N_2}}{(1 - Z^{-1})^N} \tag{1}$$

$$= \left( \sum_{k=0}^{RM-1} z^{-k} \right)^{N_1} \left( \sum_{k=0}^{LM-1} z^{-k} \right)^{N_2}$$

Trong đó: R là hệ số tăng tốc, L là hệ số giảm tốc, N là bậc của bộ lọc CIC ( $N = N_1 + N_2$ ); và M là độ trễ của mỗi tầng Comb.

**3.2. Bộ lọc FIR**

Bộ lọc FIR có đáp ứng xung chiều dài hữu hạn với hàm truyền đạt hệ thống có dạng:

$$H(z) = h(0) + h(1)z^{-1} + \dots + h(N-1)z^{1-N} = \sum_{n=0}^{N-1} h(n)z^{-n} \tag{2}$$

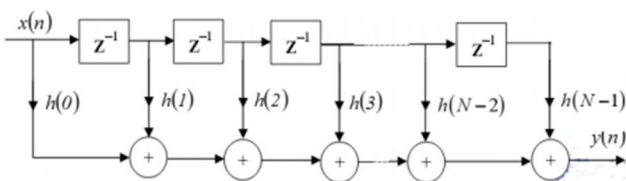
Như vậy, đáp ứng xung h(n) là:

$$h(n) = \begin{cases} h(n) & 0 \leq n \leq N-1 \\ 0 & \text{other} \end{cases} \tag{3}$$

Phương trình sai phân là:

$$y(n) = h(0)x(n) + h(1)x(n-1) + \dots + h(N-1)x(n-N+1) \tag{4}$$

Từ phương trình (2) có thể biểu diễn cấu trúc bộ lọc FIR kiểu trực tiếp như hình 4.

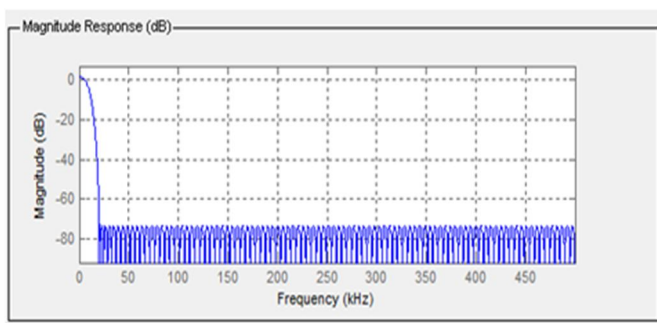


Hình 4. Cấu trúc trực tiếp của bộ lọc FIR

Trong trường hợp lựa chọn các tham số của bộ lọc FIR như sau:

- + Chiều dài bộ lọc:  $N = 12$ ;
- + Tần số lấy mẫu  $F_s = 10\text{MHz}$ ;
- + Tần số dải chặn:  $F_{\text{stop}} = 20\text{kHz}$ ;
- + Tần số dải thông:  $F_{\text{pass}} = 7\text{kHz}$ .

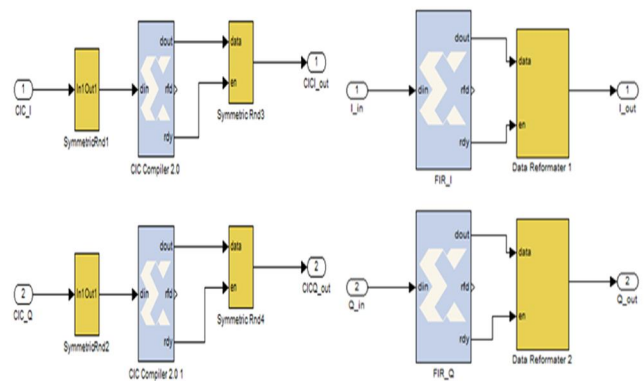
Khi đó đáp ứng biên độ của bộ lọc được thể hiện như hình 5.



Hình 5. Đáp ứng biên độ của bộ lọc thông thấp FIR với  $N = 12$

**3.3. Thiết kế bộ lọc CIC và FIR**

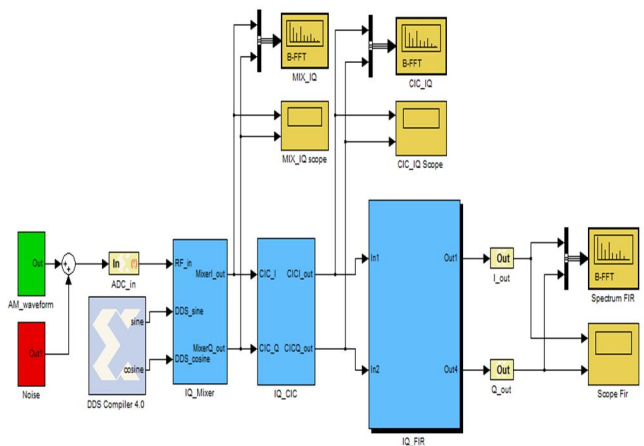
System generator là một công cụ thiết kế hệ thống giúp cho việc thiết kế các ứng dụng phần cứng trong FPGA và mô phỏng Simulink. Đó là một môi trường thiết kế rất mạnh trong việc thiết kế phần cứng. System Generator có khả năng mô hình hóa cao và có thể dịch các thiết kế của người dùng sang ngôn ngữ phần cứng trong FPGA một cách tự động chỉ với một thao tác đơn giản. Thêm vào đó System Generator còn cho phép xâm nhập vào các tài nguyên trong FPGA ở mức thấp hơn, qua đó cho phép người sử dụng thực hiện các thiết kế có hiệu suất cao. Sau khi lựa chọn các tham số và cấu hình cho bộ lọc CIC và FIR dựa trên các khối Block Set Xilinx trong System Generator có sơ đồ như hình 6.



Hình 6. Sơ đồ khối bộ lọc CIC và FIR

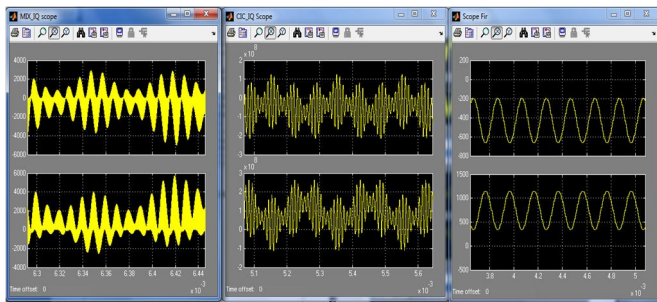
**4. KẾT QUẢ MÔ PHỎNG VÀ ĐÁNH GIÁ THỰC NGHIỆM**

Trên cơ sở thiết kế bộ lọc CIC và FIR ở phần 3.3 tiến hành thực hiện kết nối chức năng khối CIC và FIR như hình 7. Tiến hành mô phỏng và lựa chọn cấu hình chức năng cho bộ lọc CIC và FIR để nhận được tín hiệu trong miền thời gian và miền tần số như hình 8 và 9.

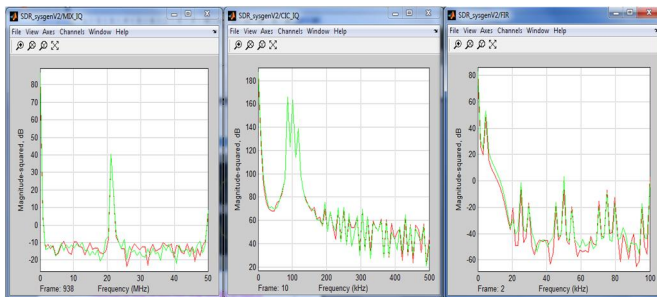


Hình 7. Sơ đồ mô phỏng chức năng khối lọc CIC, FIR

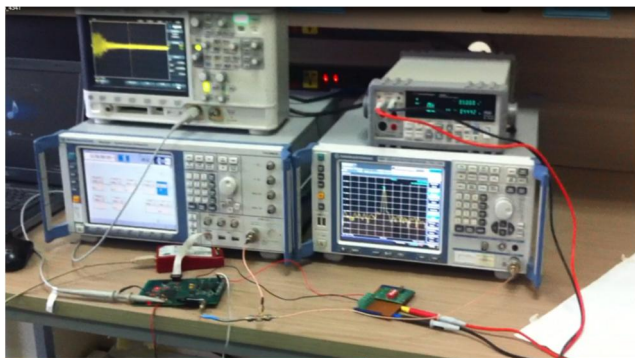
Kết quả mô phỏng hình 8, 9 đã thể hiện được vấn đề chức năng của mạch lọc CIC ngoài tính chất là một mạch lọc còn thực hiện giảm tốc độ luồng bit để đưa về tín hiệu bằng gốc trước khi đưa vào bộ lọc FIR.



Hình 8. So sánh tín hiệu sau các khối Mixer, CIC, FIR trong miền thời gian

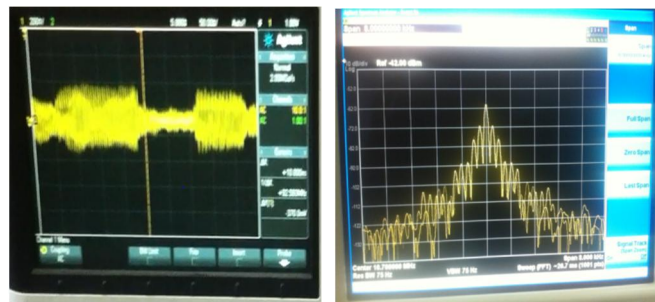


Hình 9. Phổ tín hiệu sau các khối Mixer, CIC, FIR



Hình 10. Mô hình kết nối modul với thiết bị ngoại vi để đánh giá

Khối lọc CIC kết hợp FIR sau khi thiết kế kết hợp với các khối trộn tần DDC và khối điều chế và dải điều chế tín hiệu MOD/DEMOD được thực thi xuống modul thu vô tuyến SDR. Sử dụng tín hiệu âm tần được điều chế sóng mang có tần số 10,7 MHz với phương thức điều chế FM thông qua thiết bị trộn tần. Tín hiệu sau thiết bị trộn tần được kết nối trực tiếp vào modul thu. Tín hiệu ra của modul để đánh giá được cung cấp qua loa như hình 10. Kết quả thực nghiệm cho thấy việc thiết kế bộ lọc CIC và FIR khi được thực thi xuống modul thu đã nhận được tín hiệu hoàn toàn giống với tín hiệu gốc đồng thời đã xử lý lọc nhiễu tốt.



Hình 11. Tín hiệu âm tần và phổ tín hiệu của tín hiệu thu

Kết quả phổ tín hiệu âm tần và phổ tín hiệu ở đầu ra modul thu được thể hiện ở hình 11. Quan đồ thị phổ tín hiệu đã thu được phổ có tần số IF = 10,7MHz đúng như tham số khi thiết kế được cấu hình.

Ngoài ra dựa trên các số liệu ở bảng 1 từ máy phân tích âm tần đối với tín hiệu thu sau khi được xử lý ở modul thu hoàn toàn phù hợp với các chỉ kỹ thuật được tính toán và thiết kế. Đây cũng là cơ sở khoa học quan trọng trong quá trình điều chỉnh các tham số cấu hình mềm để nâng cao hiệu quả lọc trong việc xử lý tín hiệu.

Bảng 1. Tham số kỹ thuật tín hiệu thu

TT	Chỉ tiêu	Đơn vị	Giá trị
1	Tần số IF đầu vào	MHz	10,7
2	Mức tín hiệu IF	dBm	> -60
3	Tỷ số tín hiệu trên tạp âm (SNR)	dB	> -20
4	Độ rộng điều chế FM	KHz	200
5	Tốc độ ADC	MHz	100
6	Số bit ADC	bit	14
7	Số bit DAC âm tần đầu ra	bit	12
8	Mức tín hiệu âm tần ra	V	1,98

### 5. KẾT LUẬN

Bài báo đã thực hiện việc nghiên cứu lý thuyết cơ sở về bộ lọc số, đưa ra phương pháp thiết kế mô phỏng bộ lọc số CIC, FIR. Kết quả của bài báo là thiết kế được bộ lọc CIC kết hợp với bộ lọc FIR cho modul xử lý tín hiệu khối thu máy vô tuyến SDR. Kết quả mô phỏng việc kết hợp hai bộ lọc CIC và FIR đã cho thấy việc lựa chọn các tham số của các bộ lọc đã minh chứng được chức năng lọc hiệu quả. Qua kết quả của phần thực nghiệm đã thể hiện rõ việc kết hợp bộ lọc CIC và FIR đã thực hiện được chức năng lọc để xử lý tín hiệu trong tuyến thu vô tuyến. Phương pháp thiết kế này giúp cho người thiết kế giảm được công sức và thời gian thiết kế, nâng cao hiệu quả kinh tế và quan trọng hơn nữa là phương pháp thiết kế này mang tính mềm dẻo, có thể đáp ứng được yêu cầu kỹ thuật mới của các công nghệ tiên tiến. Đây là một xu hướng mới trong việc thiết kế các sản phẩm số. Những kết quả nghiên cứu là nền tảng cơ sở ban đầu để áp dụng triển khai thực hiện bộ thu phát trong máy thông tin vô tuyến SDR sẽ được đề xuất đối với các nghiên cứu tiếp theo.

## TÀI LIỆU THAM KHẢO

- [1]. B. Razavi, 1996. *Challenges in Portable RF Transceiver Design*. IEEE Circuits and Devices Magazine, vol. 12, no. 5, pp. 12-25.
- [2]. J. C. Clifton et al, 1997. *RF Transceiver Architectures for Wireless Local Loop Systems*. IEEE Colloquium on RF & Microwave Circuits for Commercial Wireless Applications, pp. 1 111-1 118.
- [3]. U. L. Rohde, J. Whitaker, and T.T.N. Bucher, 1996. *Communications Receivers*. 2nd ed., McGraw Hill.
- [4]. ETSI, 1998. *Digital Cellular Telecommunications System (Phase 2), Radio transmission and Reception (GSM 05.05 version 7.3.0)*.
- [5]. A. Bateman and D. M. Haine, 1989. *Direct Conversion Transceiver Design for Compact Low-cost Portable Radio Terminals*. Proceedings of IEEE, Vehicular Technology ConJ, pp. 57-62.
- [6]. Qizheng Gu, 2005. *Nokia Mobile Phones, Inc. RF SYSTEM DESIGN OF TRANSCEIVERS FOR WIRELESS COMMUNICATIONS* Springer Science+Business Media, Inc.
- [7]. The MathWorks, Inc. *Digital Signal Processing & Communications*. Available at [http://www.mathworks.com/applications/dsp\\_comm](http://www.mathworks.com/applications/dsp_comm) 2009.
- [8]. *System Generator for DSP User Guide*, Release 9.2.01, Xilinx, Inc., 2007.
- [9]. *Xilinx ISE 9.2i Software Manuals: Constraints Guide, and Development System Reference Guide*, Xilinx, Inc., 2007.
- [10]. Bob Stewart, Kenneth Barlee, Dale Atkinson, Louise Crockett, 2015. *Software Defined Radio using Matlab & Simulink and the RTL-SDR*. 1st edition, Department of Electronic and Electrical Engineering, University of Strathclyde, Glasgow, Scotland, UK.
- [11]. H. Aboushady, Y. Dumonteix, M. M. Loerat, and H. Mehrez, 2001. *Efficient polyphase decomposition of comb decimation filters in Sigma-Delta analog-to-digital converters*. IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process, vol. 48, no. 10, pp. 898–903.
- [12]. T. A. Ramstad, 1984. *Digital methods for conversion between arbitrary sampling frequencies*. IEEE Trans. Acoust., Speech, Signal Processing, vol. ASSP-32, pp. 577–591.
- [13]. R. E. Crochiere and L. R. Rabiner, 1981. *Interpolation and decimation of digital signals-A tutorial review*. Proc. IEEE, vol. 69, pp. 300–331.
- [14]. E. B. Hogenauer, 1981. *An economical class of digital filters for decimation and interpolation*. IEEE Trans. Acoust., Speech, Signal Processing, vol. ASSP-29, pp. 155–162.
- [15]. L. Wasserman and A. N. Willson Jr., 1990. *A variable-rate filtering system for digital communications*. in Proc. ICASSP, pp. 1497–1500.
- [16]. Trần Đình Thông, Dư Đình Viên, Phạm Thị Thanh Huyền, Đặng Cẩm Thạch, Dương Thị Hằng, 2017. *Nâng cao hiệu quả lọc và sử dụng tài nguyên phần cứng cho bộ lọc CIC trong kiến trúc thu vô tuyến SDR*. Tạp chí Khoa học Công nghệ, ĐHCN Hà Nội số 38.
- [17]. Bob Stewart, Kenneth Barlee, Dale Atkinson, Louise Crockett, 2015. *Software Defined Radio using MATLAB Simulink and the RTL-SDR*. University of Strathclyde Engineering.